6/6.1

Analoog/digitaal en digitaal/analoog omvormers

Inhoud

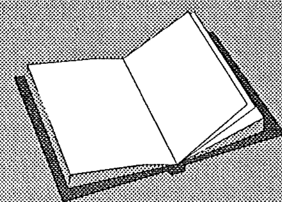
6/6.1.6
Successive Approximation Registers

Het principe

Inleiding
Successive approximation registers, kortweg SAR's genoemd, worden vaak gebruikt bij het omzetten van een analoge ingangsspanning in een digitale code. Hoewel deze schakelingen tegenwoordig vaak zijn geïntegreerd in complexe ADC's zijn er ook losse SAR's te koop. Het voordeel van deze losse schakelingen is dat de gebruiker het omzettingsprocédé aan eigen wensen kan aanpassen, bijvoorbeeld door geen lineaire omvormingsfactor in te bouwen, maar een exponentiële. Dat kan door het standaard laddernetwerk, opgebouwd uit identieke weerstanden, te vervangen door een "gewogen" weerstandsnetwerk. Op deze manier kan men allerlei vreemdsoortige omzettingskarakteristieken inbouwen. Kortom, het is dus noodzakelijk enige aandacht aan deze SAR's te besteden.

Het principe
Eén van de meest gebruikte methoden om een analoog naar digitaal omzetter (ADC) te bouwen is uit te gaan van een digitaal naar analoog omzetter (DAC). De digitale code op de uitgangen van deze schakeling wordt dan door middel van een weerstandsnetwerk weer omgezet in een analoge spanning. Met behulp van een comparator moet de analoge uitgangsspanning van de DAC dan worden vergeleken met het onbekende ingangssignaal. Op de ene ingang van de comparator wordt het onbekende signaal aangesloten en op de andere ingang de (analoge) uitgang van de DAC. Als nu een teller op de digitale ingangen van de DAC wordt aangesloten en de teller vanaf nul optelt, zal het uitgangssignaal van de DAC op een gegeven moment groter worden dan het onbekende ingangssignaal. Op hetzelfde ogenblik gaat de uitgang van de comparator om en stopt de teller. De stand van de teller is nu een maat voor de uitgangsspanning van de DAC en dus (omdat ze even groot zijn) een maat voor het te meten ingangssignaal. Het zal duidelijk zijn dat de tijd die nodig is voor een meting telkens anders kan zijn. Voor grote ingangsspanningen zijn immers meer telpulsen nodig dan voor kleine.

LEES OOK:
Hoofdstuk 3/15.1
Hoofdstuk 3/15.3
Hoofdstuk 6/6.1.4



6.1.6 Successive Aproximation Registers

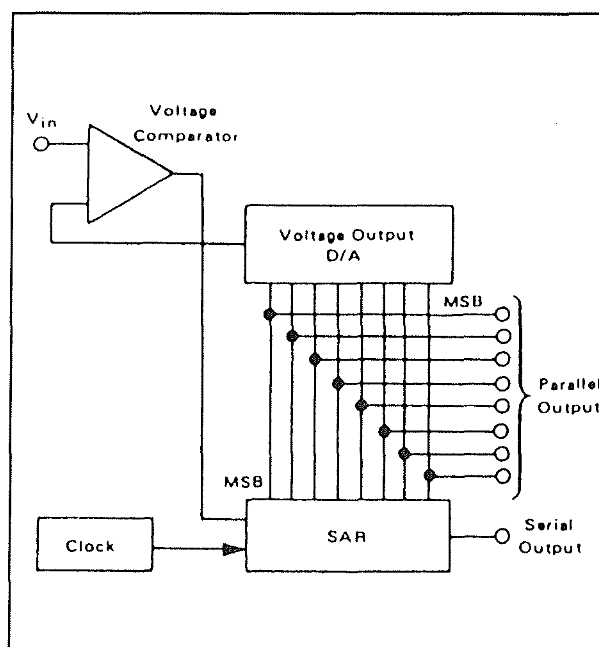
Het principe lijkt eenvoudig, maar het systeem om op de snelst mogelijke manier de twee ingangsspanningen van de comparator aan elkaar gelijk te krijgen vereist nogal wat logica. Hier komt de SAR te hulp. In een dergelijk IC is die hele complexe logica ondergebracht, zodat het moeilijkste blok van het systeem niet zélf ontworpen moet worden.

De SAR

Een eenvoudiger manier om een ADC te bouwen is de zogenaamde "successievelijke benadering". Hierbij wordt de lineaire teller vervangen door een successive approximation register (SAR). Voor de rest blijft de schakeling dezelfde als hierboven beschreven. Het blokschema van een ADC met een SAR als basis is getekend in figuur 6/6.1.6-1.
Met de SAR-methode zijn conversietijden van ongeveer 500 ns/bit mogelijk. Verder wordt de nauwkeurigheid van de omzetting, omdat de DAC ook hier in de terugkoppellus is opgenomen, alleen door de DAC bepaald. De SAR's die nu leverbaar zijn, bevatten alle benodigde digitale schakelingen voor een SA-type omzetter.

Werking

Aan de hand van figuur 6/6.1.6-1 wordt de werking van het A/D-systeem uitgelegd. De digitale ingangen van de DAC worden bit voor bit "H" gemaakt, beginnend bij het meest significante bit MSB. Telkens wanneer een bit "H" is gemaakt geeft de comparator een signaal af dat aangeeft of de uitgangsspanning van de DAC (V_{DAC}) groter of kleiner is dan het ingangssignaal (V_{in}). De werking kan het snelst begrepen worden aan de hand van de waarheidstabel van de SAR, voorgesteld in figuur 6/6.1.6-2. Is V_{DAC} groter dan V_{in} dan wordt het bit automatisch gereset (weer "L" gemaakt), waarna het opvolgend lagere bit wordt geprobeerd. Is V_{DAC} daarmee kleiner dan V_{in} dan blijft dit bit op "H", waarna het volgende bit aan de beurt komt, enzovoorts tot alle bits, inclusief het LSB, behandeld zijn.
Als de maximale uitgangsspanning van de DAC V_{ref} bedraagt, betekent dit dat bij het begin van de omzetting (met het MSB) wordt geprobeerd of een spanning van $V_{ref/2}$ groter of kleiner dan V_{in} is. Elke volgende stap gebruikt dan een spanning die telkens een factor 2 kleiner is, dus achtereenvolgens $V_{ref/4}$, $V_{ref/8}$, enzovoorts, tot $V_{ref/256}$ bij een 8 bit DAC.



Figuur 6/6.1.6-1: Het blokschema van een analoog naar digitaal omzetter met een SAR als basis.

De som van de ingeschakelde spanningen komt tenslotte overeen met de waarde van V_{in}. Een 8 bit omzetting is zodoende in 9 klokpulsen klaar, hetgeen wordt aangegeven door een "End-of-Conversion"-signaal.

6.1.6 Successive Aproximation Registers

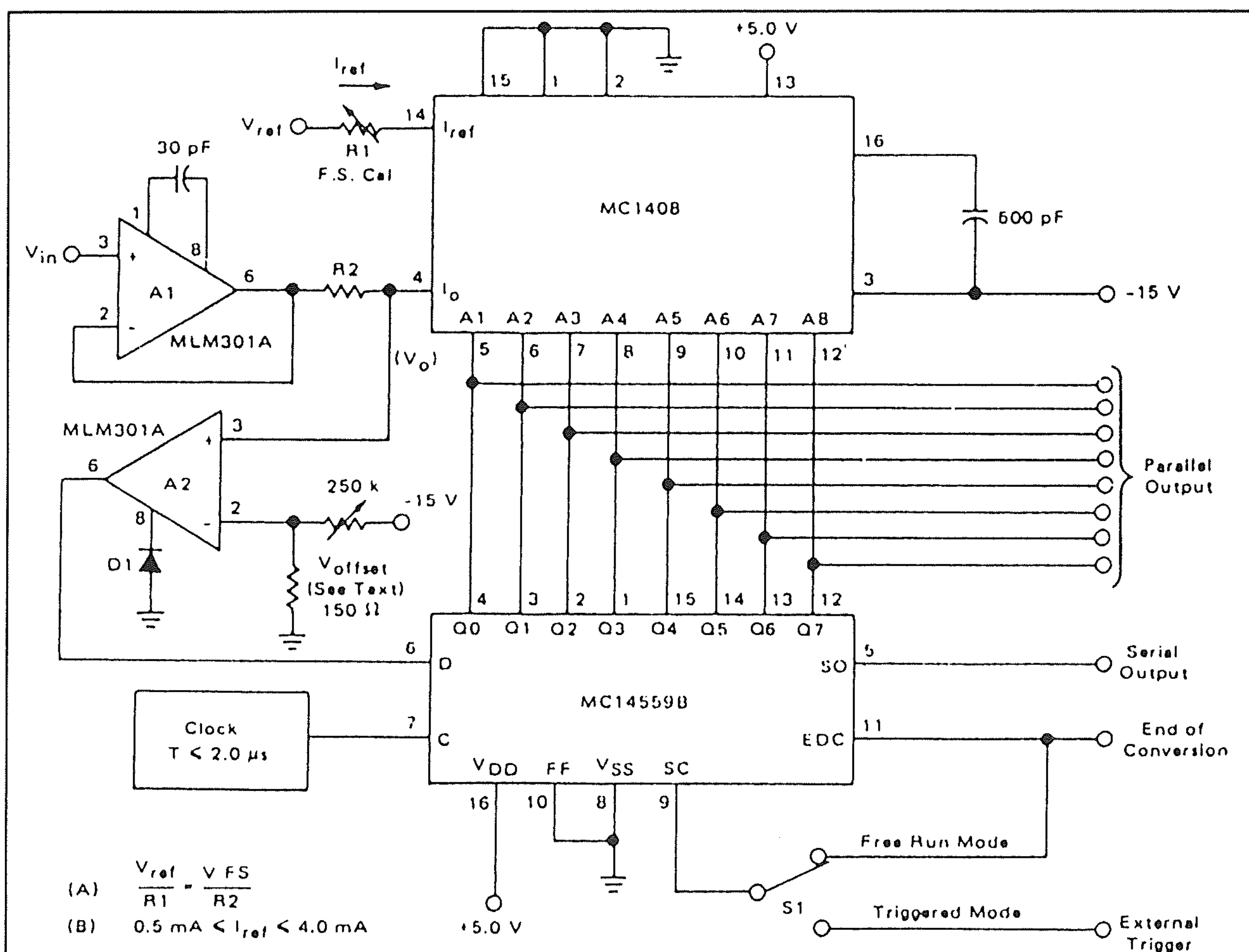
Time t_n	INPUTS D	INPUTS $\overline{S}$	OUTPUTS Q_0	Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	Q_0	$\overline{CC}$
0	X	L	X	X	X	X	X	X	X	X	X	X
1	D_7	H	X	L	H	H	H	H	H	H	H	H
2	D_6	H	D_7	D_7	L	H	H	H	H	H	H	H
3	D_6	H	D_6	D_7	D_6	L	H	H	H	H	H	H
4	D_4	H	D_5	D_7	D_6	D_5	L	H	H	H	H	H
5	D_3	H	D_4	D_7	D_6	D_5	D_4	L	H	H	H	H
6	D_2	H	D_3	D_7	D_6	D_5	D_4	D_3	L	H	H	H
7	D_1	H	D_2	D_7	D_6	D_5	D_4	D_3	D_2	L	H	H
8	D_0	H	D_1	D_7	D_6	D_5	D_4	D_3	D_2	D_1	L	H
9	X	H	D_0	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	L
10	X	H	X	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	L

Figuur 6/6.1.6-2: De waarheidstabel van de SAR uit het blokschema van figuur 6/6.1.6-1.

In de waarheidstabel van figuur 6/6.1.6-2 begint de omzetting op tijdstip 1 door het "H" gaan van start ($\overline{S}$) en eindigt op tijdstip 9 met het "L" gaan van $\overline{CC}$ (Conversion Complete).

Praktisch voorbeeld

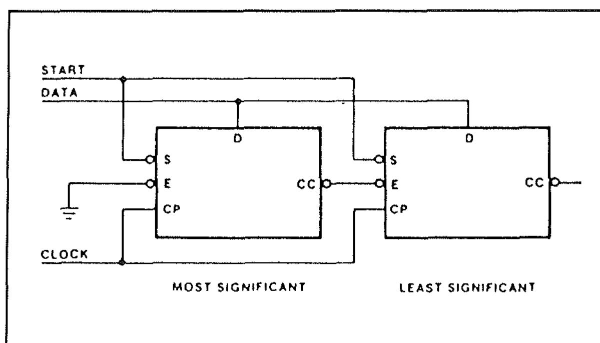
In figuur 6/6.1.6-3 is een complete 8 bit ADC getekend waarbij gebruik gemaakt wordt van een SAR van het type MC14559 en een MC1408 DAC. Omdat de MC1408 een stroom levert in plaats van een spanning, is de comparator iets anders opgezet dan normaal.



Figuur 6/6.1.6-3: Samenstelling van een 8 bit successive approximation analoog naar digitaal omzetter met een DAC (MC1408), een SAR (MC14559) en een comparator (LM301).

6.1.6 Successive Aproximation Registers

Nu is:
$I_o = I_{ref} * X$ (X = de stand van de DAC)
en:
$V_o = V_{in} - R2 * I_o$.
Comparator A2 vergelijkt nu V_o met de offsetspanning die -1/2 LSB is. Is V_o groter dan V_{offset} dan is het uitgangssignaal van de comparator een "H" en blijft het betreffende geprobeerd bit gezet. Is dit ook zo bij het volgende bit, dan blijft ook dat gezet (enzovoorts). Is V_o bij een volgend geprobeerd bit kleiner dan V_{offset} dan is de uitgang van de comparator "L" en wordt het betreffende bit gereset. Wanneer de volle schaal uitgangsspanning van het systeem op 2,56 V wordt afgeregeld, dan heeft het LSB een waarde van 10 mV.



Figuur 6/6.1.6-4: Het principe van cascadeerbare SAR's, waarmee men ADC's met een hogere resolutie dan 8 bit kan samenstellen.

Uitbreidbare SAR's
In het bovenstaande is sprake van een 8 bit ADC-systeem. Het is echter ook mogelijk om grotere of kleinere ADC's samen te stellen. Behalve 8 bit SAR's zijn er ook 12 bit typen, terwijl ook 8 bit uitbreidbare (expandable) leverbaar zijn. Hierbij wordt dan de $\overline{E}$-ingang verbonden met de $\overline{CC}$-uitgang van de voorgaande SAR, zoals voorgesteld in figuur 6/6.1.6-4.

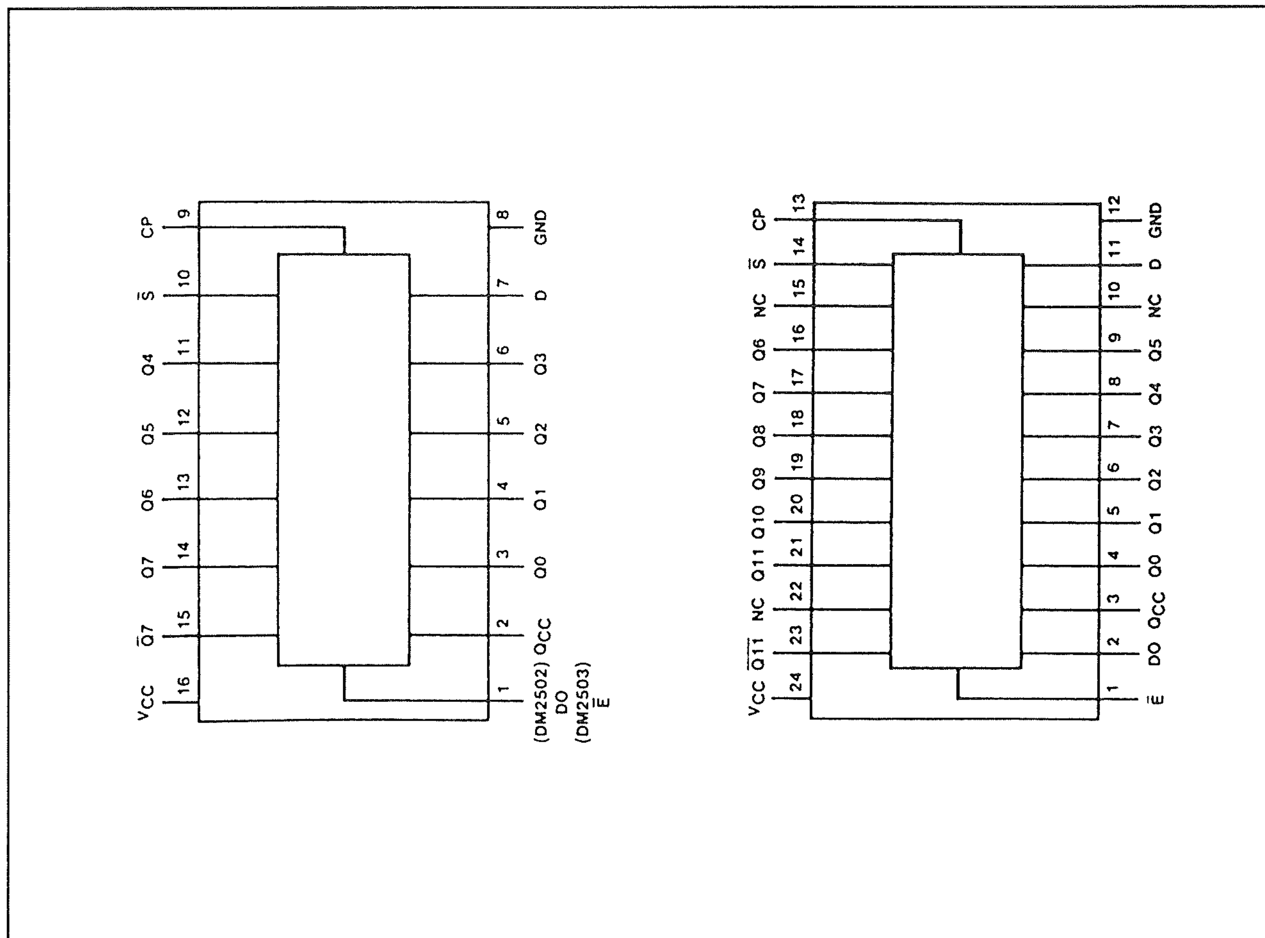
Opmerking
Veel snelle monolithische ADC's zijn tegenwoordig op dezelfde chip voorzien van een SAR, DAC, comparator, referentiespanning, uitgangsbuffers en besturingslogika plus eventueel een analoge ingangsmultiplexer. Hoewel het gebruiksgemak en de snelheid hierdoor toenemen blijft het principe van DAC + SAR + comparator = ADC behouden.

Type-beschrijving

Opmerking
Er worden niet erg veel losse SAR's te koop aangeboden. De meest bekende zijn deze uit de standaard TTL-reeks, terwijl er ook enige modellen in CMOS worden vervaardigd. Deze vindt men terug in de standaard 4xxx-familie, maar ook in de 74C-serie.

De 74502, 74503 en 74504 uit de TTL-familie
De 74502 en 74503 zijn 8 bit SAR's en de 74504 is een 12 bit SAR voor gebruik in ADC's volgens het succesievelijke benaderingsprincipe (SAR). Deze geïntegreerde schakelingen bevatten alle hiervoor benodigde logika en besturingscircuits. Hoewel er enige verschillen zijn, werken de drie schakelingen toch in grote lijnen identiek.
De 74502 heeft seriële uitgangen en is niet uitbreidbaar, de 74503 daarentegen is uitbreidbaar, maar heeft geen seriële uitgang. De 74504 is wel weer uitbreidbaar met seriële uitgang.
Alle logische uitgangen zijn aktief-LAAG of aktief-HOOG.
De aansluitgegevens van deze drie TTL-SAR's zijn getekend in figuur 6/6.1.6-5.

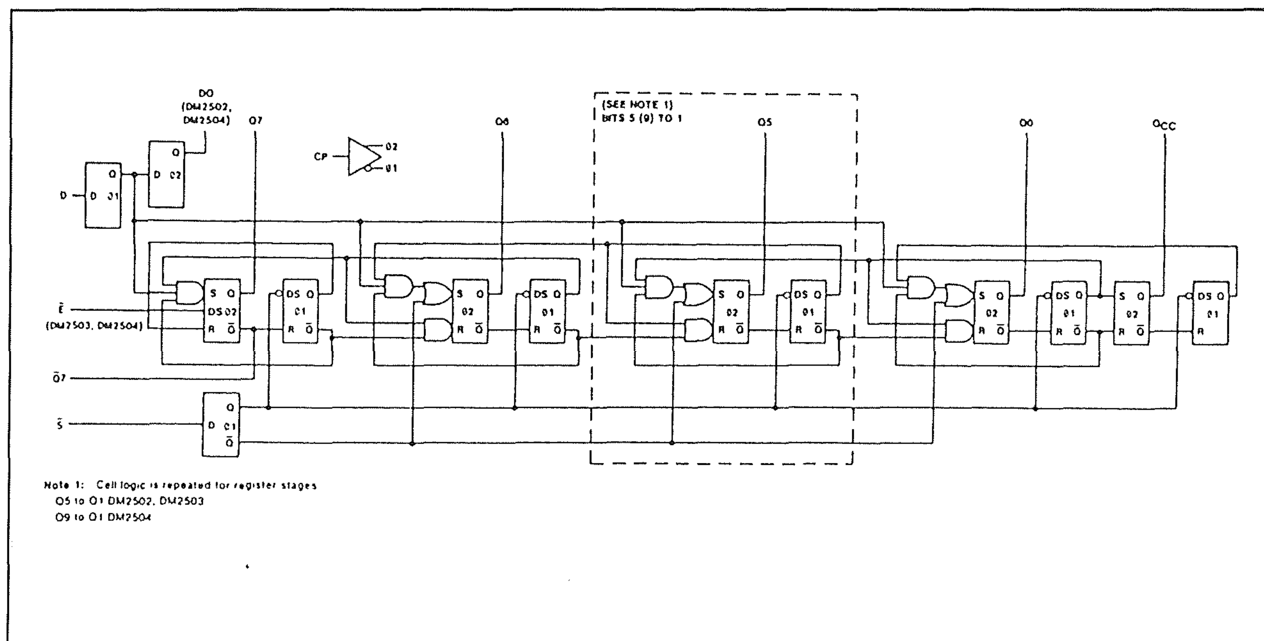
6.1.6 Successive Aproximation Registers



Figuur 6/6.1.6-5: De aansluitingen van de 74502 en 74503 (links) en van de 74504 (rechts).

De betekenis van de pennen zal duidelijk worden als men het intern blokschema van deze schakelingen, getekend in figuur 6/6.1.6-6, bestudeert. De waarheidstabel van deze drie schakelingen is getekend in figuur 6/6.1.6-7. Voor de 2504 moet de tabel worden uitgebreid tot 12 uitgangen, voor de 2502 moet de Ē-kolom worden weggehaald, voor de 2503 moet de DO-kolom worden verwijderd.
De registers kunnen met verschillende codes werken. De 2's complement code wordt gebruikt om de comparator een offset te geven van 1/2 full range + 1/2 LSB. Hierbij wordt het complement van de MSB gebruikt ($\overline{Q7}$ of $\overline{Q11}$) met een binaire DAC. Offset binary wordt op dezelfde manier gebruikt, maar dan met de MSB (Q7 of Q11).
Voor BCD DA-omzetters moet extra logika worden gebruikt om ongeldige code te onderdrukken, zie de figuren 6/6.1.6-8 en -9.

6.1.6 Successive Aproximation Registers



Figuur 6/6.1.6-6: Het intern blokschema van de 74502, 74503 en 74504.

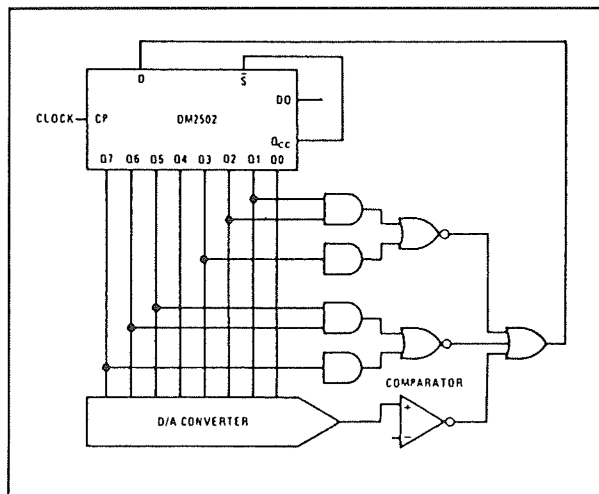
TIME	INPUTS			OUTPUTS[1]									
t_n	D	$\bar{S}$	$\bar{E}^2$	D0[3]	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Q_{CC}
0	X	L	L	X	X	X	X	X	X	X	X	X	X
1	D7	H	L	X	L	H	H	H	H	H	H	H	H
2	D6	H	L	D7	D7	L	H	H	H	H	H	H	H
3	D5	H	L	D6	D7	D6	L	H	H	H	H	H	H
4	D4	H	L	D5	D7	D6	D5	L	H	H	H	H	H
5	D3	H	L	D4	D7	D6	D5	D4	L	H	H	H	H
6	D2	H	L	D3	D7	D6	D5	D4	D3	L	H	H	H
7	D1	H	L	D2	D7	D6	D5	D4	D3	D2	L	H	H
8	D0	H	L	D1	D7	D6	D5	D4	D3	D2	D1	L	H
9	X	H	L	D0	D7	D6	D5	D4	D3	D2	D1	D0	L
10	X	X	L	X	D7	D6	D5	D4	D3	D2	D1	D0	L
	X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC	NC

Note 1: Truth table for DM2504 is extended to include 12 outputs
Note 2: Truth table for DM2502 does not include $\bar{E}$ column or last line in truth table shown.
Note 3: Truth table for DM2503 does not include D0 column

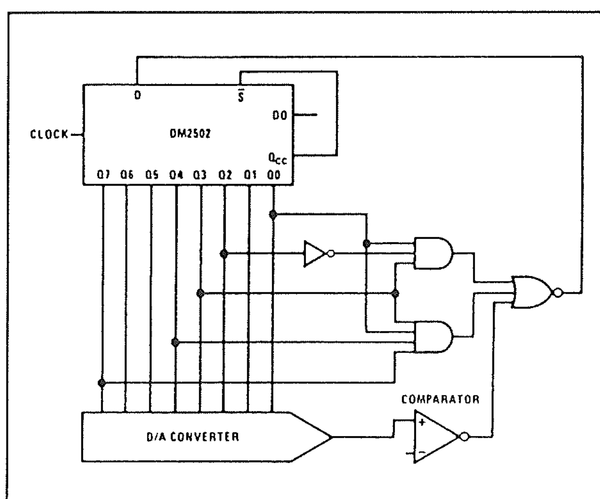
H = High Voltage Level
L = Low Voltage Level
X = Don't Care
NC = No Change

Figuur 6/6.1.6-7: De waarheidstabel van de TTL-SAR's 74502, 74503 en 74504.

6.1.6 Successive Aproximation Registers



Figuur 6/6.1.6-8: Voorbeeld van de aktief-HOGE onderdrukking van ongeldige codes bij BCD DA-omzetters.



Figuur 6/6.1.6-9: Onderdrukking van ongeldige codes (aktief-LAAG) bij BCD DAC's.

De aktief-LAGE enable-ingangen Ē op de 74503 en 74504 maken het mogelijk dat deze SAR's op elkaar kunnen worden aangesloten om zodoende een langer register te vormen. Zoals in het blokschema van figuur 6/6.1.6-6 te zien is, worden de clock-, D- en S̄-ingangen daarbij parallel geschakeld en wordt de CC-uitgang van de meest significante SAR verbonden met de Ē-ingang van de opvolgend minder significante SAR. Wanneer de registers door het startsignaal worden gereset, wordt de Ē-ingang van de minder significante SAR "H", waardoor het Q7 (Q11) bit "H" gaat en het register wordt belet data te accepteren totdat het voorgaande register vol is en de CC-uitgang daarvan "L" gaat. Wanneer slechts één register wordt gebruikt moet Ē "L" worden gehouden.

Als niet alle bits worden gebruikt kan het register worden verkort om conversietijd te besparen. In dit geval wordt dan het "L" gaan van een uitgang gebruikt om het einde van een omzetting te signaleren, in plaats van het CC-signaal. Wanneer een register op deze manier wordt gebruikt in de continue mode kan "lock-up" ontstaan bij het aanzetten van de voedingsspanning. Dit kan worden vermeden door de CC-uitgang en de betreffende uitgang te verenigen in een OR-poort.

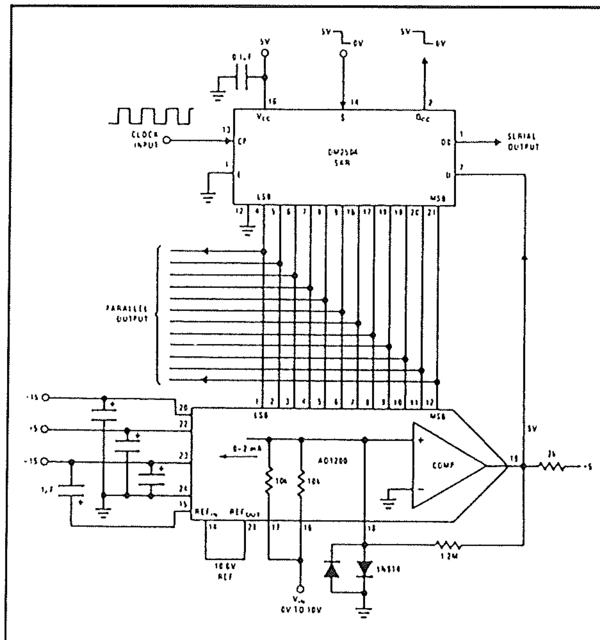
Tot slot van de bespreking van deze drie TTL-SAR's wordt in figuur 6/6.1.6-10 een praktische toepassingsschakeling gepubliceerd. In dit voorbeeld wordt een 74504 SAR gebruikt in een snelle 12 bit brede ADC, waarbij een DAC van het type AD1200 wordt gebruikt in de terugkoppeling. Deze schakeling heeft een ingebouwde comparator.

De 2502, 2503 en 2504

De drie besproken TTL-schakelingen worden (helaas) door sommige fabrikanten onder andere typebenamingen op de markt gebracht. Typisch voorbeelden hiervan zijn de 2502, 2503 en 2504. Deze drie schakelingen zijn volledig compatibel met de reeds besproken 74502, 74503 en 74504. De van de TTL-serie afwijkende typenummers zijn dan:

6.1.6 Successive Aproximation Registers

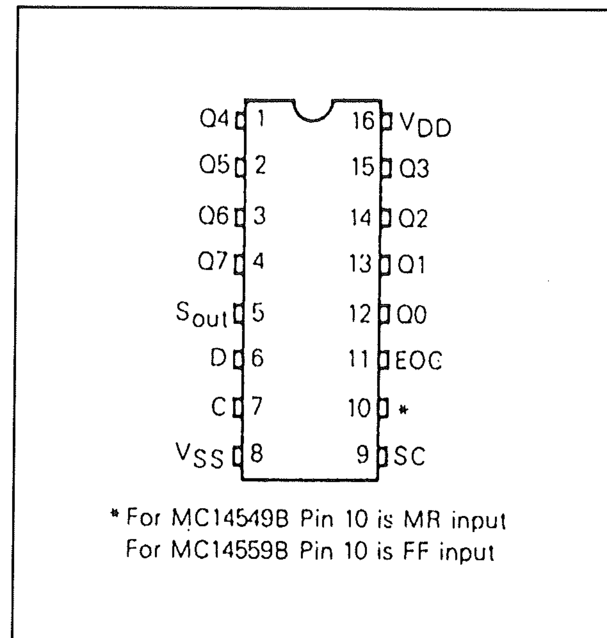
- AMD:
  Am25L02, Am25L03 en Am25L04
- NatSemi:
  DM2502C, DM2503C, DM2504C.



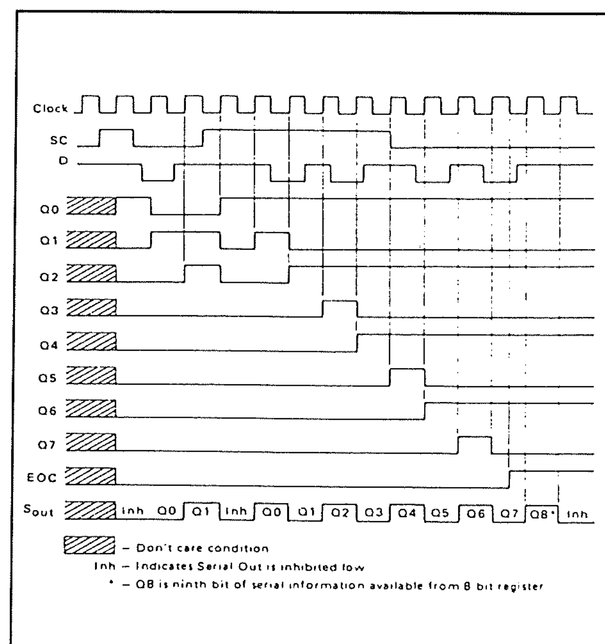
Figuur 6/6.1.6-10: Voorbeeldschakeling, waarbij een 74504 wordt gebruikt in de opbouw van een snelle 12 bit ADC.

De (1)4549 en (1)4559 uit de CMOS-familie

De (1)4549 en (1)4559 zijn 8 bit brede SAR's voor toepassing in analoog naar digitaal omzetters. Beide typen bevatten alle logika en besturingscircuits die hiervoor nodig zijn. Onderling verschillen zitten alleen in één ingang: pen 10 is bij de 14549 de Master Reset-ingang (MR) en bij de 14559 de Feed Forward-ingang (FF). De MR is nodig wanneer een SAR met meer dan 8 bit gewenst is en er dus 14549's in cascade worden geschakeld. In het omgekeerde geval dat minder dan 8 bit nodig zijn dient FF om de cyclus te verkorten (eerder dan EOC). De aansluitgegevens van deze twee schakelingen zijn getekend in figuur 6/6.1.6-11, de timingdiagrammen voor de besturing in figuur 6/6.1.6-12.



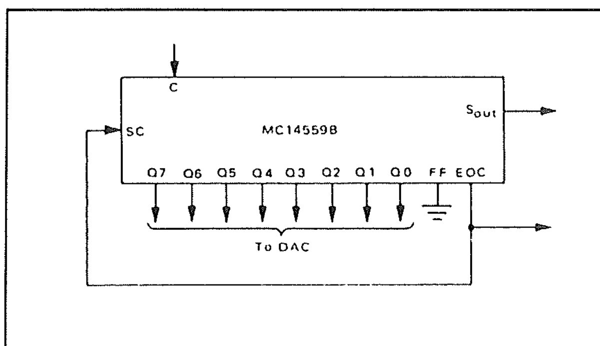
Figuur 6/6.1.6-11: De aansluitingen van de (1)4549 en de (1)4559.



Figuur 6/6.1.6-12: De timingdiagrammen van de (1)4549 en (1)4559.

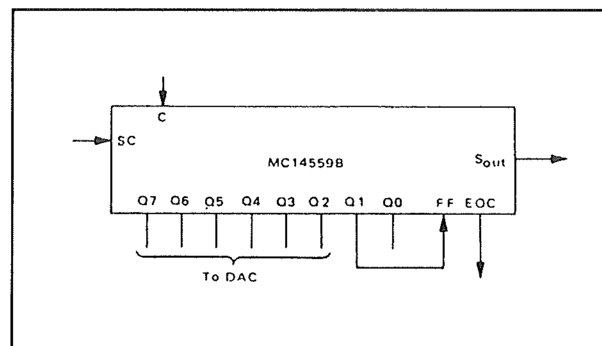
6.1.6 Successive Aproximation Registers

Beide SAR's kunnen zowel vrijlopend als gestrobed werken met een willekeurig aantal bits. Betrouwbare cascadeschakeling en/of recirculatie kan worden bereikt door het End of Conversion signaal (EOC) te gebruiken als stuursignaal.
De aansluitpennen hebben de volgende functies:
- C
  Clock (data wordt ingeklokt op positieve flank)
- SC
  Start Conversie (op positieve flank)
- D
  Data In (signaal van comparator)
- MR
  Master Reset (14549, reset alle uitgangen op positieve flank van C)
- FF
  Feed Forward (14559, verwijdert ongewenst bits)
- Qn
  Data Uitgangen (naar DAC)
- EOC
  End of Conversion (gaat HOOG als conversie klaar is)
- SO
  Seriële Uitgang



Figuur 6/6.1.6-13: Een 14559, geschakeld als continu werkende schakeling.

In figuur 6/6.1.6-13 is de schakeling gegeven van een 8 bit SAR met de 14559, die werkt in continu bedrijf. De pennen SC en EOC moeten dan met elkaar verbonden worden. Natuurlijk kan hetzelfde IC ook gebruikt worden met externe besturing. Zoals blijkt uit figuur 6/6.1.6-14 wordt het externe stuursignaal dan aangeboden aan de ingang SC.

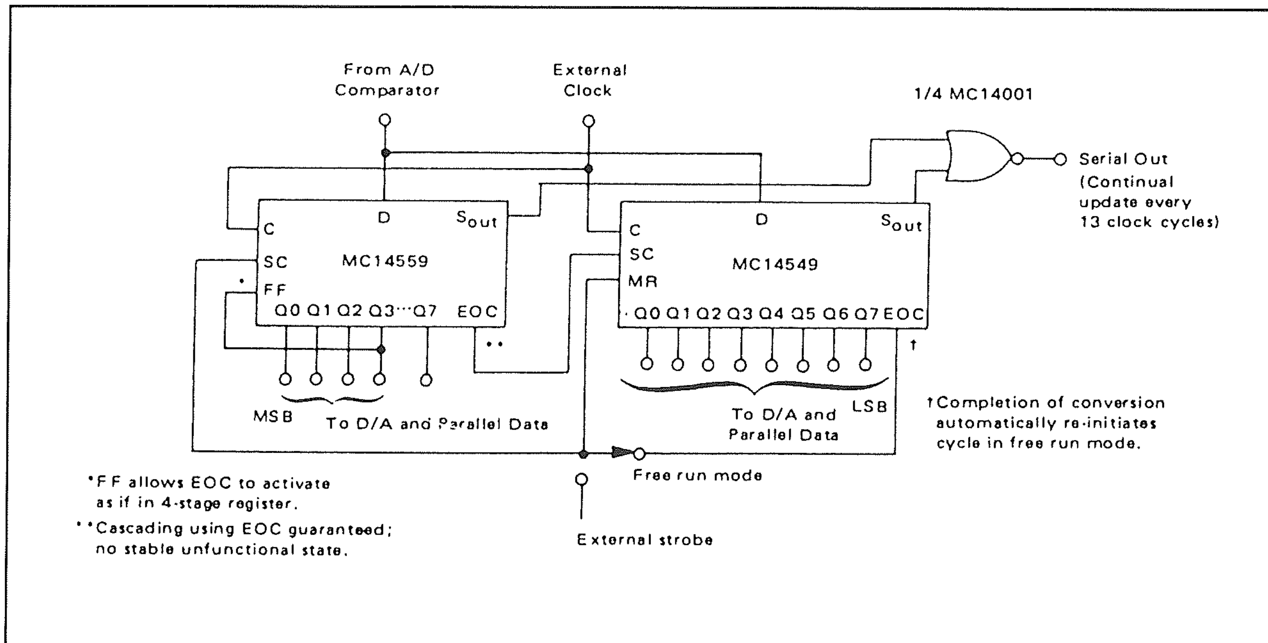


Figuur 6/6.1.6-14: In dit voorbeeld wordt de 14559 extern getriggerd via de SC-ingang.

Tot slot geeft figuur 6/6.1.6-15 een praktische voorbeeldschakeling. Door middel van de schakelaar "FREE RUN MODE" of "EXTERNAL STROBE" kan men de schakeling vrijlopend of extern getriggerd instellen. De totale breedte van deze schakeling bedraagt 12 bit, hetgeen bereikt wordt door een 14559 te combineren met een 14549. De digitale uitgangen moeten natuurlijk naar een 12 bit brede DAC worden geleid.

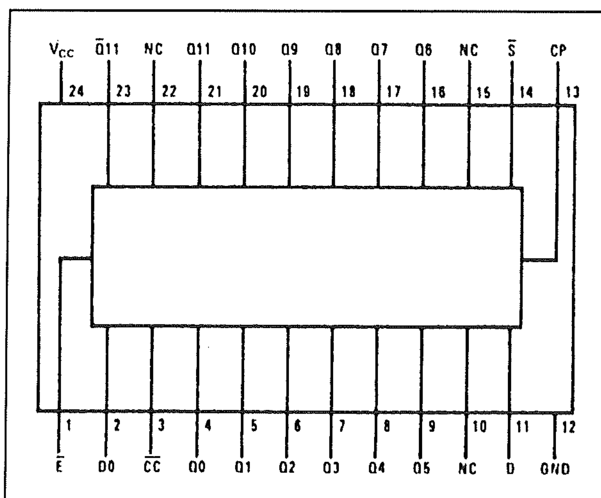
De 74C905
Tot slot van deze bespreking wordt de 74C905 behandeld. Dit IC bevat een 12 bit CMOS SAR voor toepassing in analoog naar digitaal omzetters. Dit succesievelijke benaderings register is voorzien van alle logika en besturingscircuits om een ADC samen te stellen uit een DAC plus comparator en deze SAR.
De schakeling is uitbreidbaar en er bestaat de mogelijkheid een verkorte cyclus in te stellen.

6.1.6 Successive Aproximation Registers

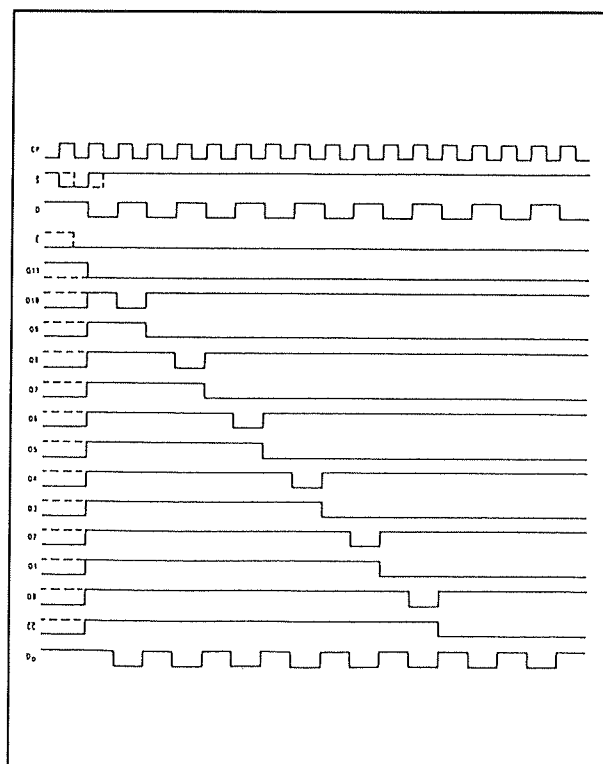


Figuur 6/6.1.6-15: In dit voorbeeld wordt een 14559 gecombineerd met een 14549, tot een breedte van 12 bit.

Het IC heeft, zoals gebruikelijk, een seriële uitgang en zowel continu als start/stop-bedrijf is mogelijk.
De aansluitgegevens van dit 24-pens IC zijn getekend in figuur 6/6.1.6-16, de timing is gegeven in figuur 6/6.1.6-17 en de waarheidstabel in figuur 6/6.1.6-18.



Figuur 6/6.1.6-16: De aansluitgegevens van de 74C905.



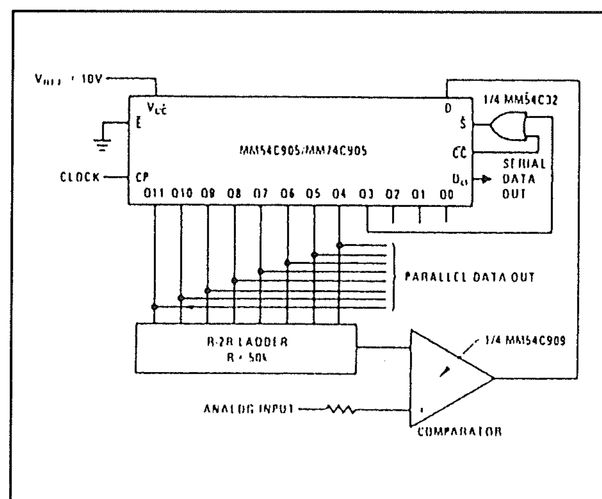
Figuur 6/6.1.6-17: Het tijddiagram van de besturing en de uitgangen van de 74C905.

6.1.6 Successive Aproximation Registers

TIME	INPUTS			OUTPUTS													
t_n	D	$\overline{S}$	$\overline{E}$	D0	Q11	Q10	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	$\overline{CC}$
0	X	L	L	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1	D11	H	L	X	L	H	H	H	H	H	H	H	H	H	H	H	H
2	D10	H	L	D11	D11	L	H	H	H	H	H	H	H	H	H	H	H
3	D9	H	L	D10	D11	D10	L	H	H	H	H	H	H	H	H	H	H
4	D8	H	L	D9	D11	D10	D9	L	H	H	H	H	H	H	H	H	H
5	D7	H	L	D8	D11	D10	D9	D8	L	H	H	H	H	H	H	H	H
6	D6	H	L	D7	D11	D10	D9	D8	D7	L	H	H	H	H	H	H	H
7	D5	H	L	D6	D11	D10	D9	D8	D7	D6	L	H	H	H	H	H	H
8	D4	H	L	D5	D11	D10	D9	D8	D7	D6	D5	L	H	H	H	H	H
9	D3	H	L	D4	D11	D10	D9	D8	D7	D6	D5	D4	L	H	H	H	H
10	D2	H	L	D3	D11	D10	D9	D8	D7	D6	D5	D4	D3	L	H	H	H
11	D1	H	L	D2	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	L	H	H
12	D0	H	L	D1	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	L	H
13	X	H	L	D0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
14	X	X	L	X	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	L
	X	X	H	X	H	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC

Figuur 6/6.1.6-18: De waarheidstabel van de 12 bit brede 74C905.

De 74C905 kan met verschillende codes werken. De 2's complement code wordt gebruikt om de comparator een offset te geven van 1/2 full range + 1/2 LSB. Hierbij wordt het complement van de MSB gebruikt ($\overline{Q11}$) met een binaire DAC. Door de aktief LAGE enable-ingang $\overline{E}$ kan deze SAR worden uitgebreid om tot een langer register te komen. Wanneer minder dan 12 bits gebruikt worden, kan het register worden verkort om minder conversietijd te gebruiken. Het "L" gaan van een gekozen uitgang wordt dan gebruikt om het einde van een conversie aan te geven, in plaats van het $\overline{CC}$-signaal. Wanneer een register op deze manier, in de continue mode, wordt gebruikt kan "lock-up" ontstaan bij het opkomen van de voedingsspanning. Dit kan worden voorkomen door de CC-uitgang en de betreffende uitgang een OR-functie te geven.
De registeruitgangen kunnen een 10 bit R/2R laddernetwerk (met 50 kΩ/100 kΩ weerstanden) direct aansturen bij een voedingsspanning van minimaal 10 V.

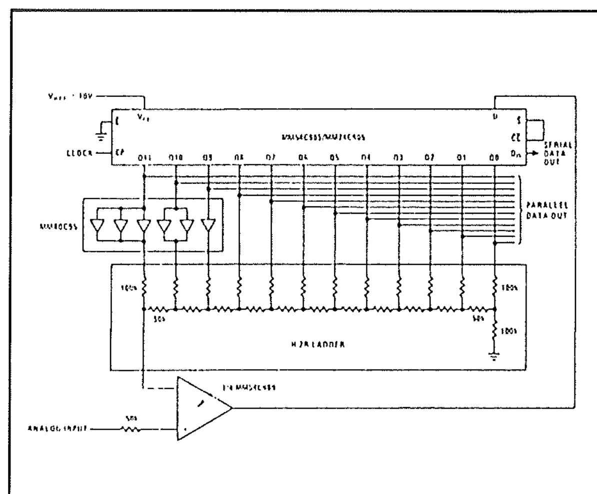


Figuur 6/6.1.6-19: Eerste toepassingsvoorbeeld van de 74C905.

Om een 12 bit 50 kΩ/100 kΩ laddernetwerk aan te sturen met een resolutie van +/-1/2 LSB moeten Q9, Q10 en Q11 worden gebufferd, Q9 met 1 buffer, Q10 met 2 en Q11 met 3 buffers van het type 74C902 of 74C904.
Figuur 6/6.1.6-19 geeft een voorbeeld van een 12 bit brede AD-omzetter, werkend in een verkorte 8 bit mode, in continu be-

6.1.6 Successive Aproximation Registers

drijf. Een continu werkende 12 bit SA-ADC die een 50 kΩ/100 kΩ laddernetwerk direct aanstuurt met buffering van Q9, Q10 en Q11 is getekend in figuur 6/6.1.6-20.



Figuur 6/6.1.6-20: Tweede toepassingsvoorbeeld van de 74C905.

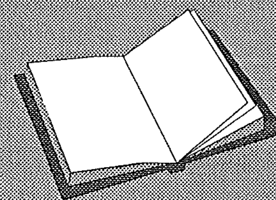
6/6.1.7

Data acquisitie systemen

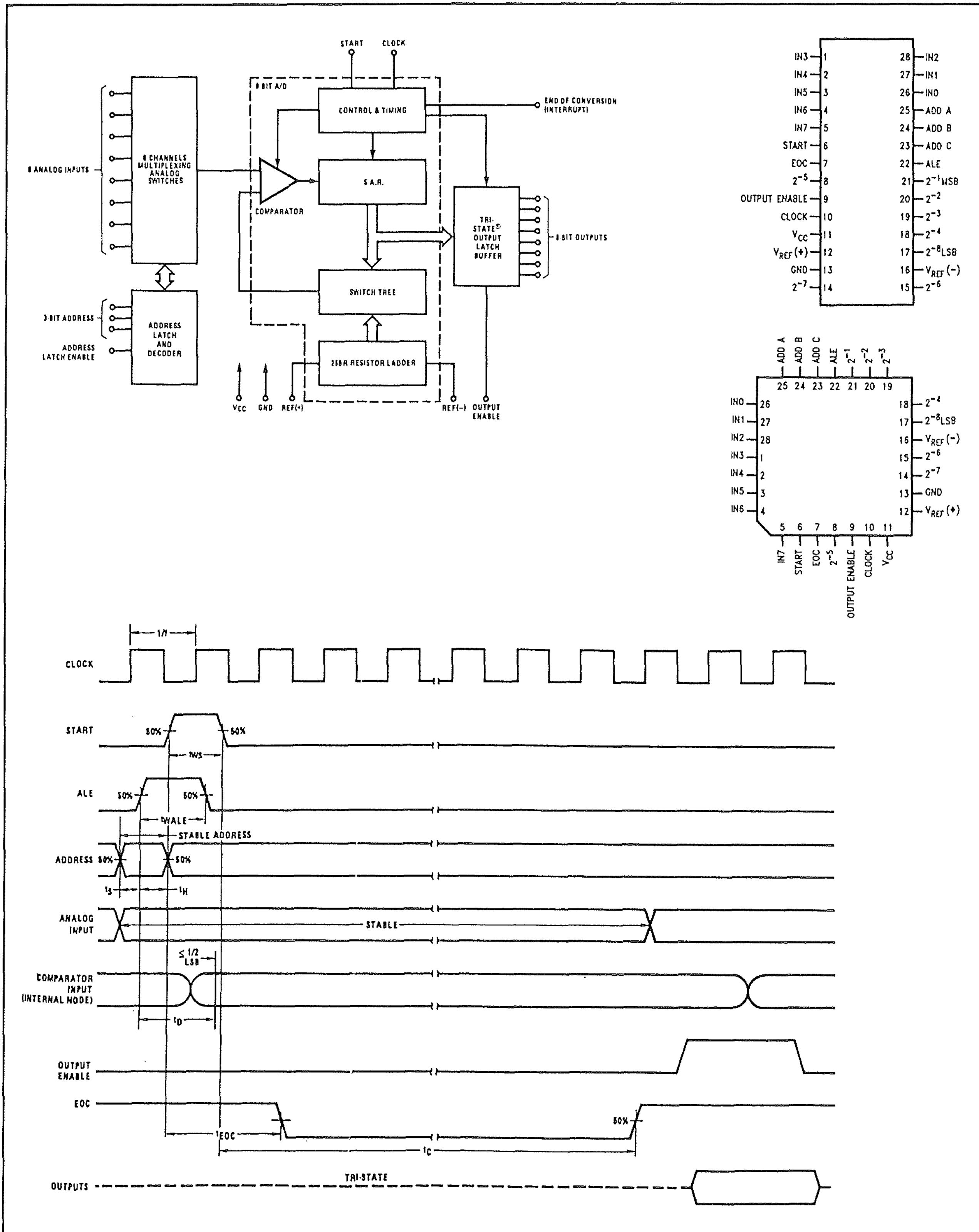
In dit hoofdstuk worden de voornaamste gegevens gepubliceerd van DAS-IC's, schakelingen waaraan men meerdere analoge spanningen kan aanleggen, die nadien door het systeem worden omgezet in binaire code's.
Het zou in het kader van een naslagwerk voor de elektronica hobbyist te ver voeren om dergelijke ingewikkelde IC's uitvoerig te beschrijven.
Met de beknopte gegevens die in dit hoofdstuk opgenomen zijn, moet een initiatiefrijke hobbyist echter toch wel aan de slag kunnen!
Van ieder IC worden gegeven:
- intern blokschema;
- aansluitgegevens;
- timing-diagrammen.

Aan de hand van deze gegevens is het mogelijk deze schakelingen in de praktijk toe te passen.
Als gegevens worden vermeld:
- het aantal analoge ingangskanalen;
- de mode van de ingangen, single ended voor ingangen die gerefereerd zijn ten opzichte van de massa en differentieel voor ingangen waarvan zowel de "hete" als de "koude" aansluiting aan de DAS worden toegevoerd;
- het aantal bit waarmee gedigitaliseerd wordt;
- de structuur van de digitale uitgangen, 3-state als de mogelijkheid bestaat de uitgangen rechtstreeks aan een bus aan te sluiten en 2-state als die mogelijkheid niet aanwezig is.

LEES OOK:
Hoofdstuk 3/15.1
Hoofdstuk 3/15.3
Hoofdstuk 3/15.9

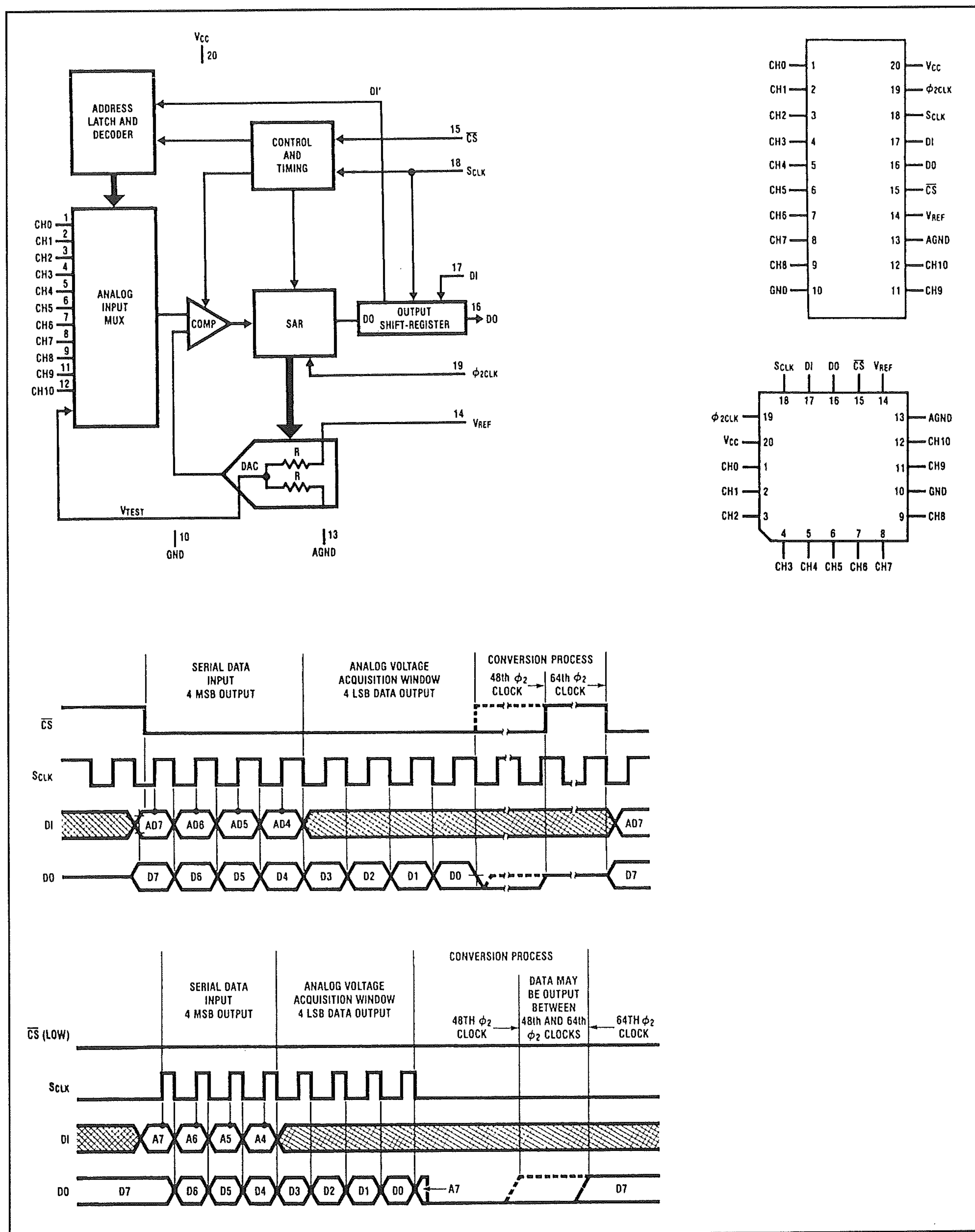


6.1 Analoog/digitaal en digitaal/analoog omvormers



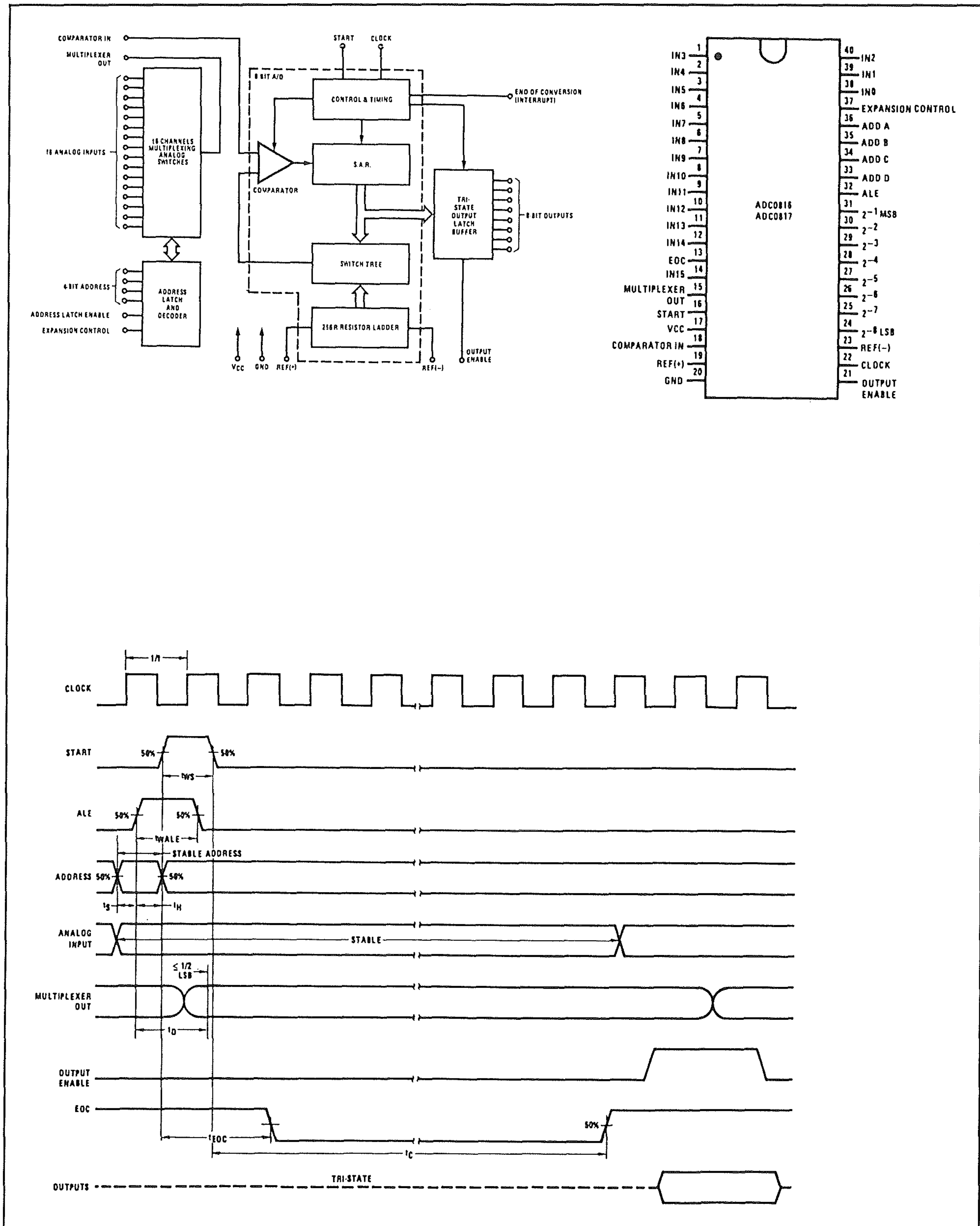
ADC 0808/0809 — 8 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



ADC 0811 11 kanalen, single ended, 8 bit serieel

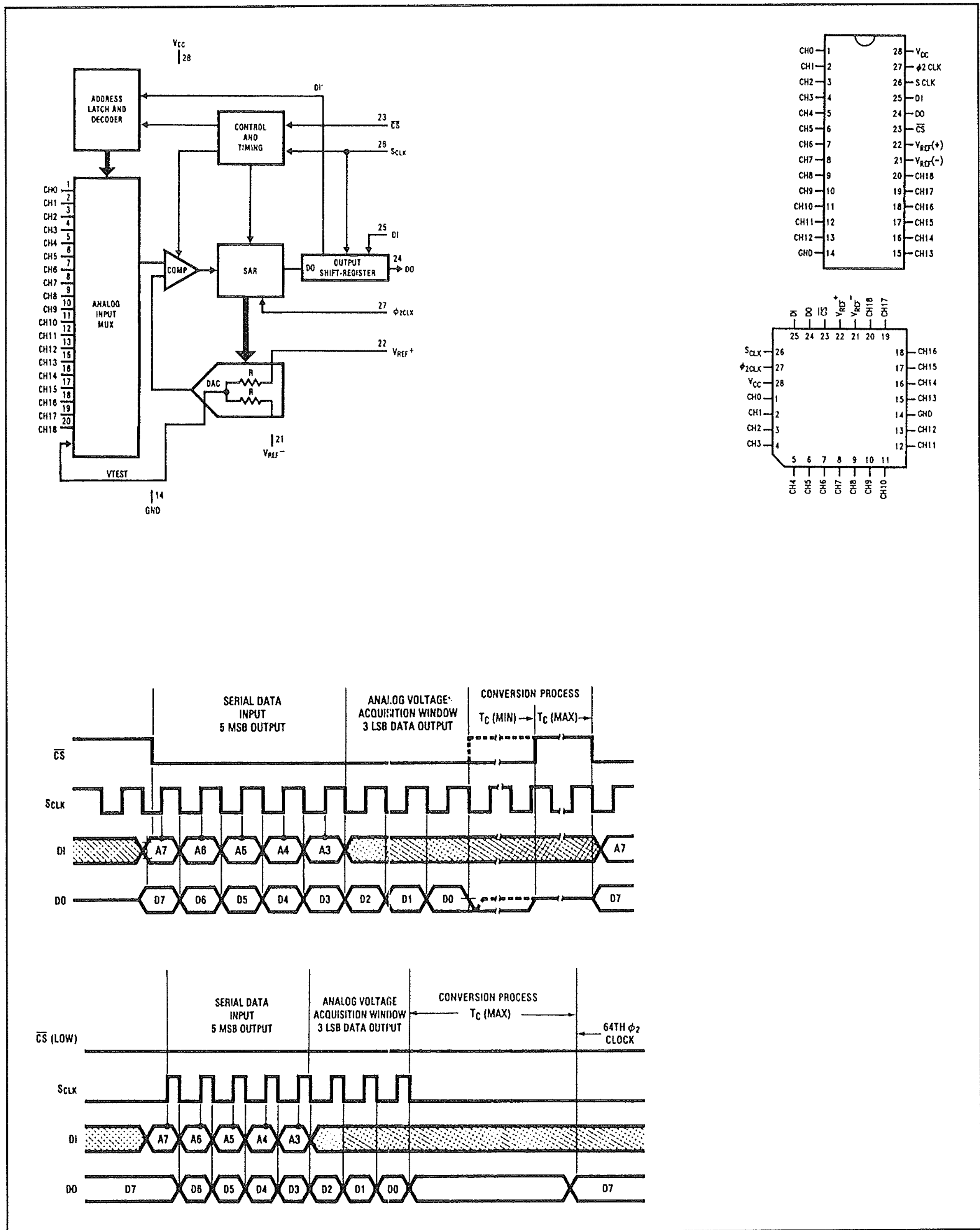
6.1 Analoog/digitaal en digitaal/analoog omvormers



ADC 0816/0817

16 kanalen, single ended, 8 bit, 3-state

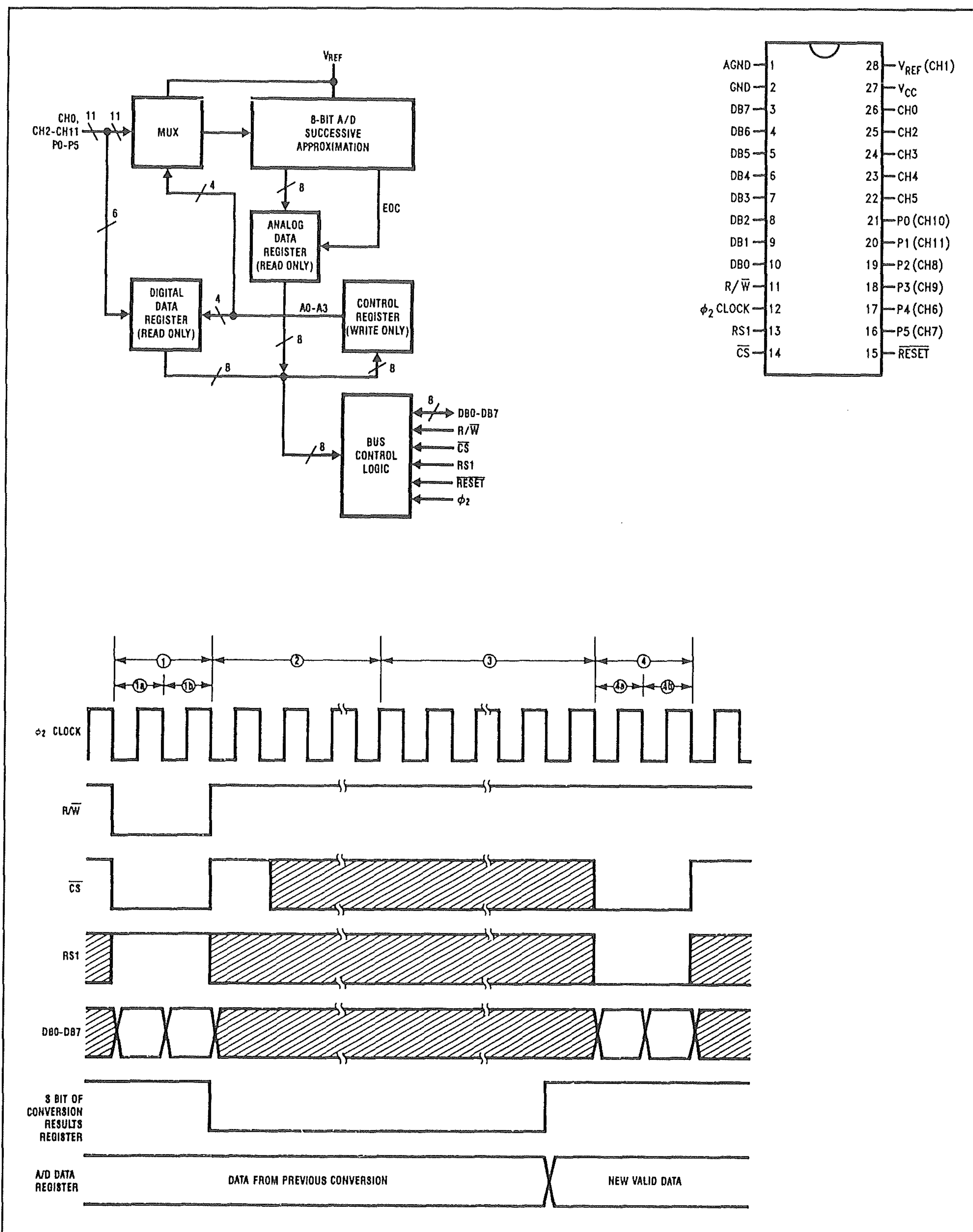
6.1 Analoog/digitaal en digitaal/analoog omvormers



ADC 0819

19 kanalen, single ended, 8 bit serieel

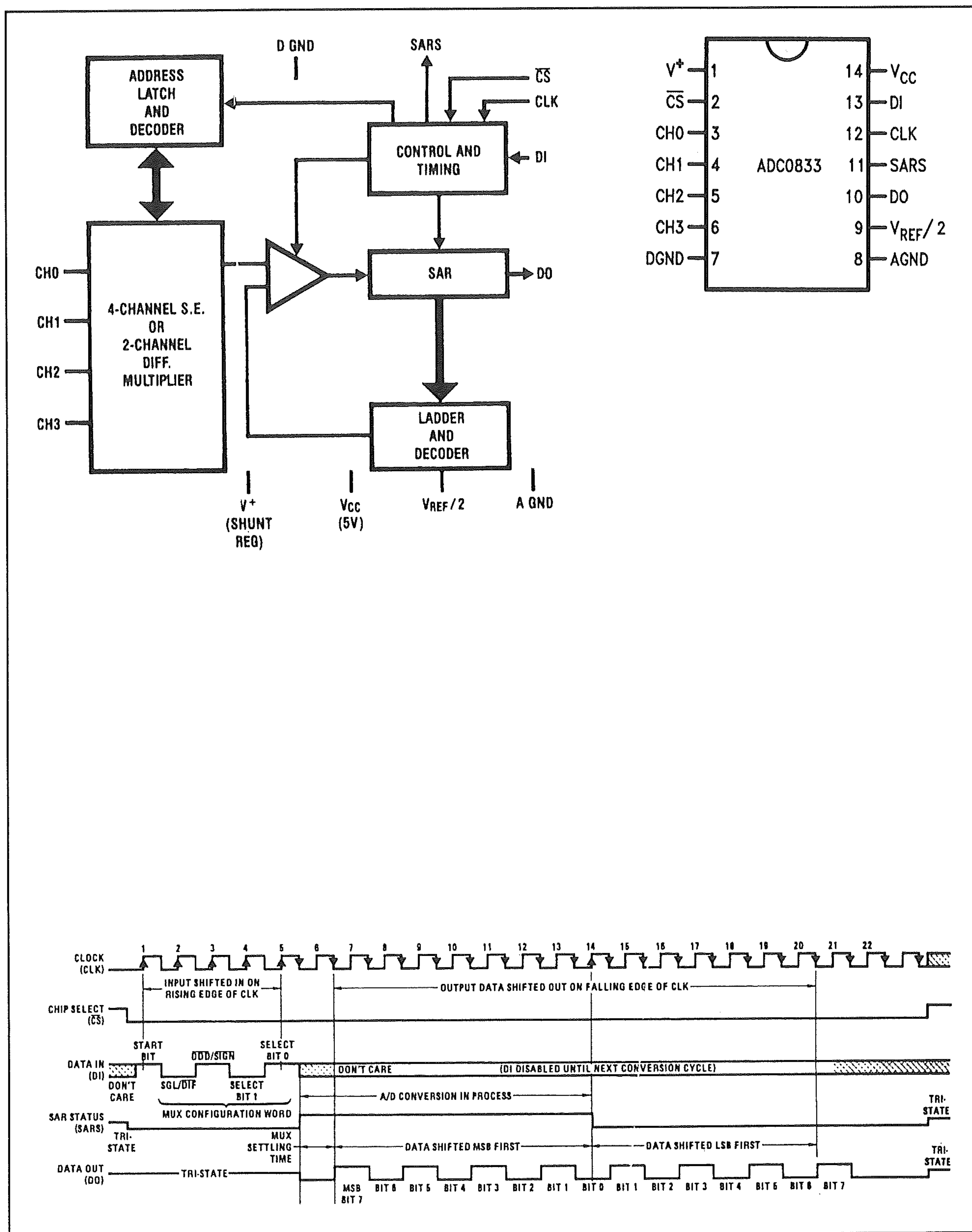
6.1 Analoog/digitaal en digitaal/analoog omvormers



ADC 0829

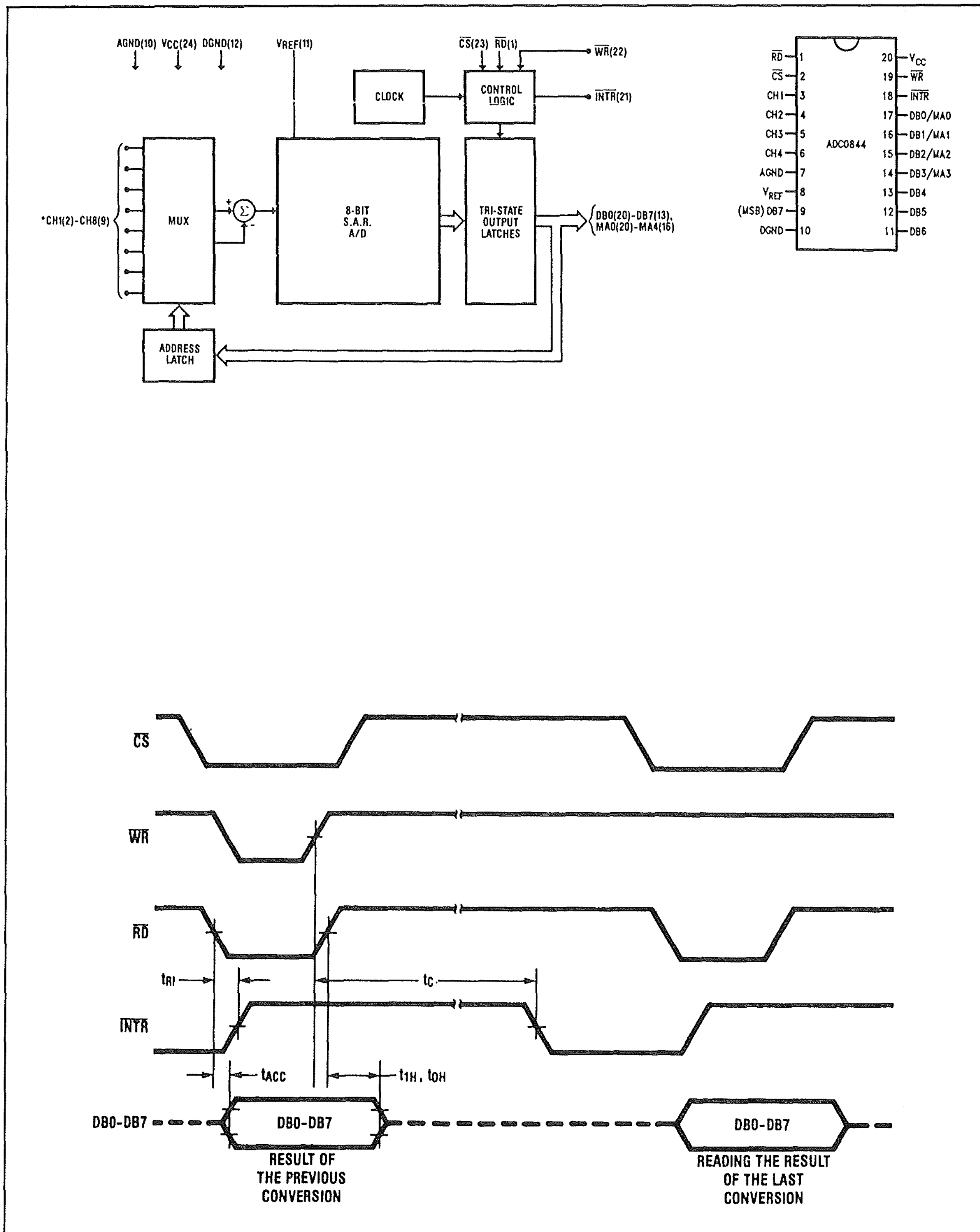
11 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



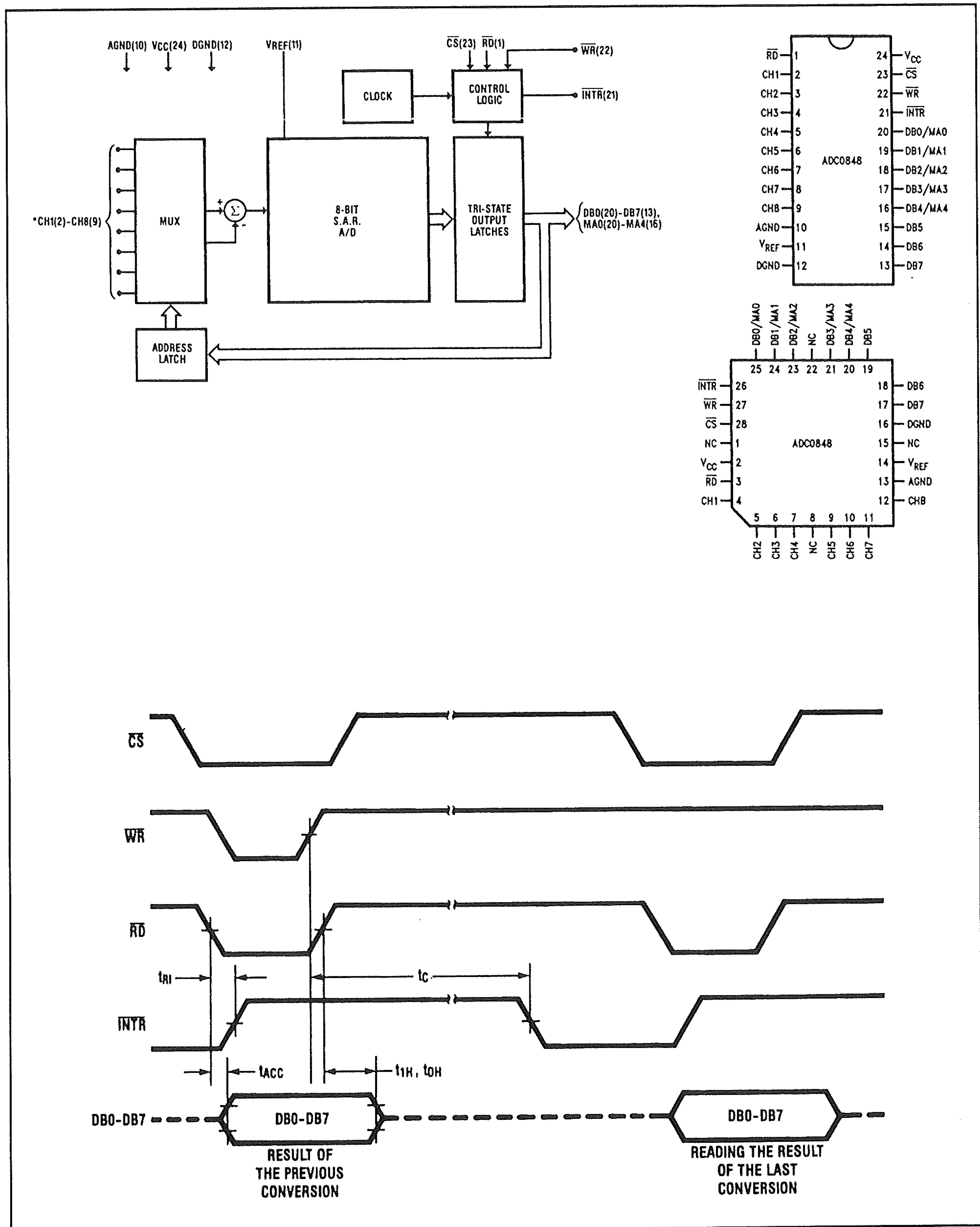
ADC 0833 4 kanalen, single ended, 8 bit serieel

6.1 Analoog/digitaal en digitaal/analoog omvormers



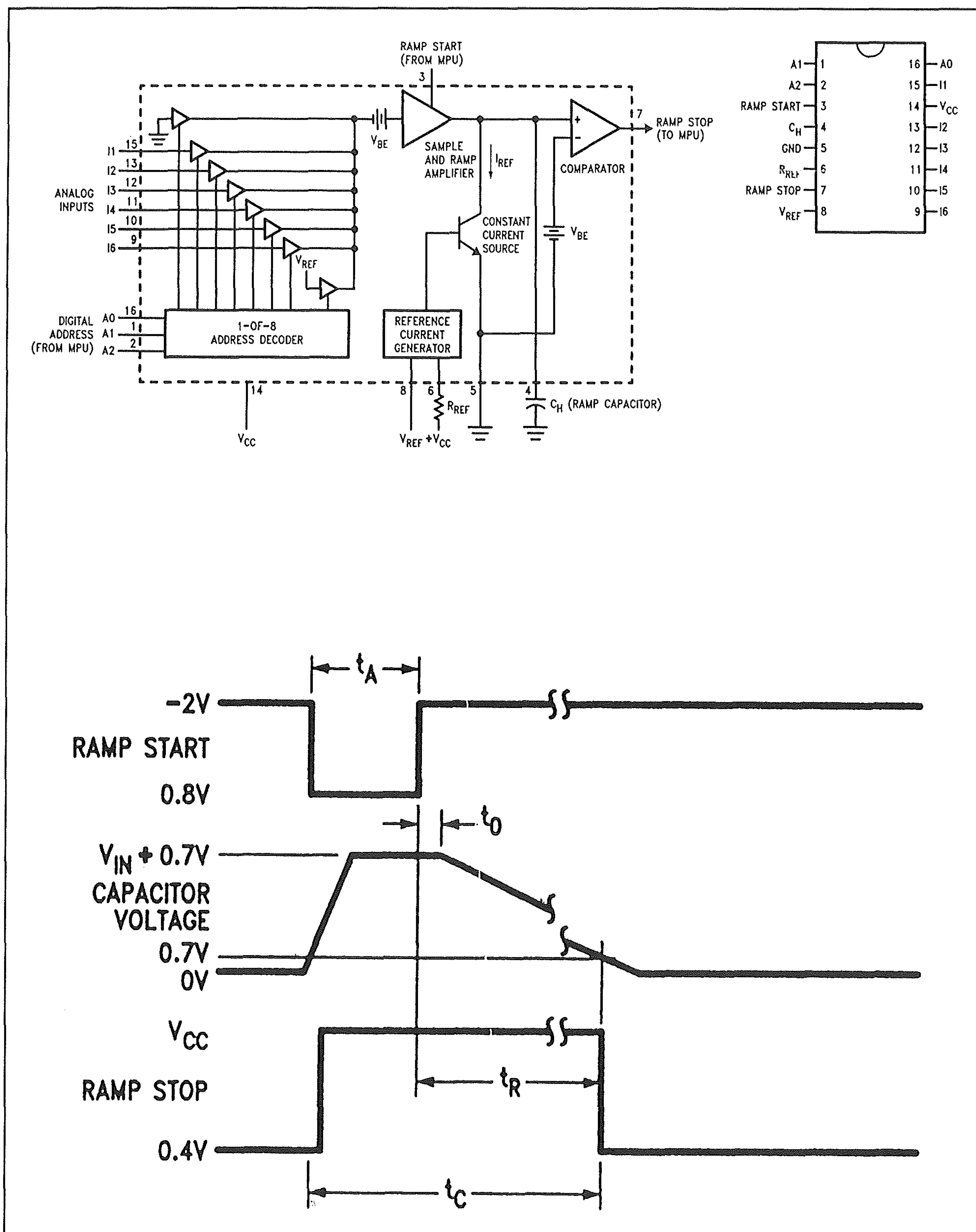
ADC 0844 4 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



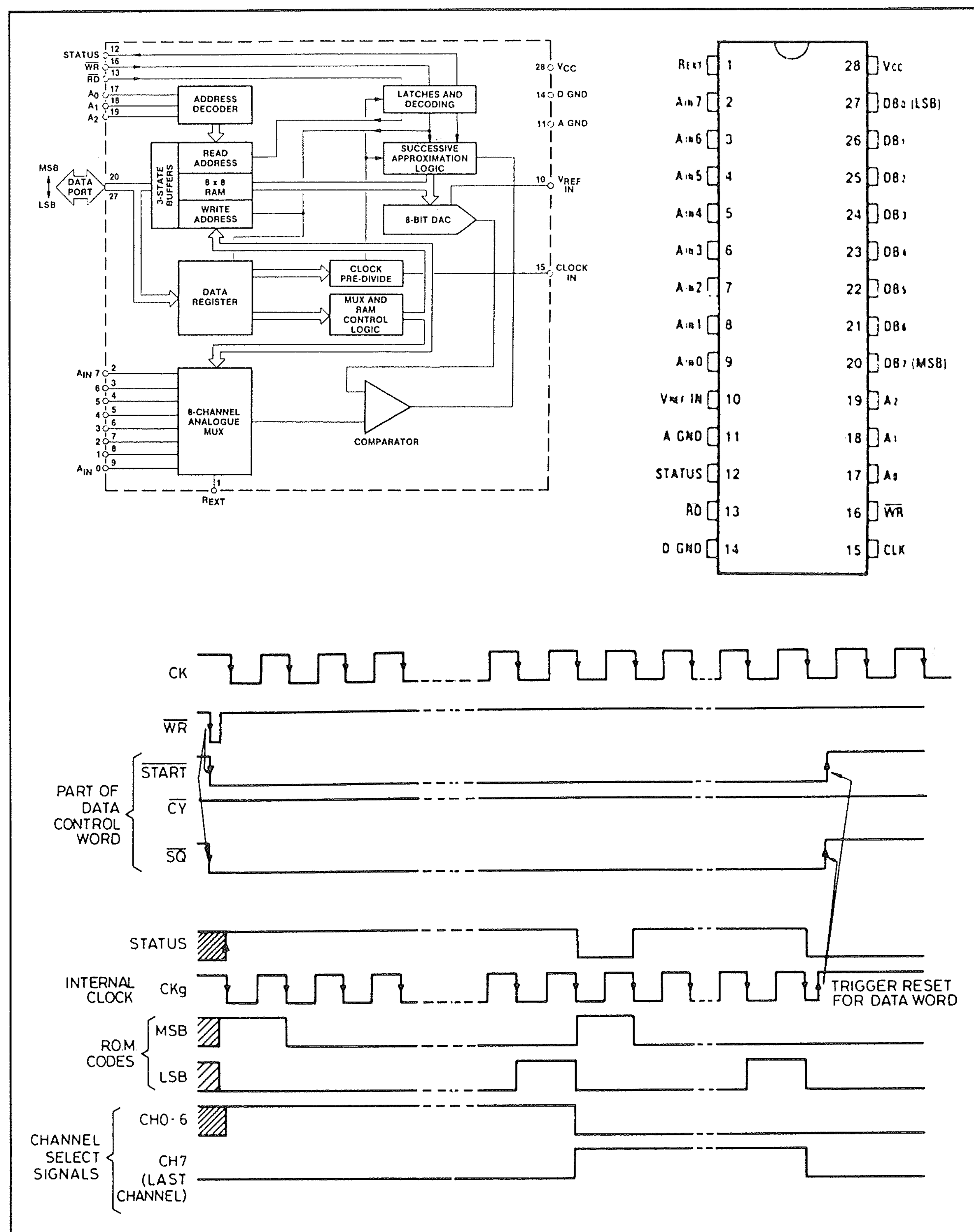
ADC 0848 8 kanalen, single ended, 8 bit 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



μA 9708 6 kanalen, single ended, single slope werking

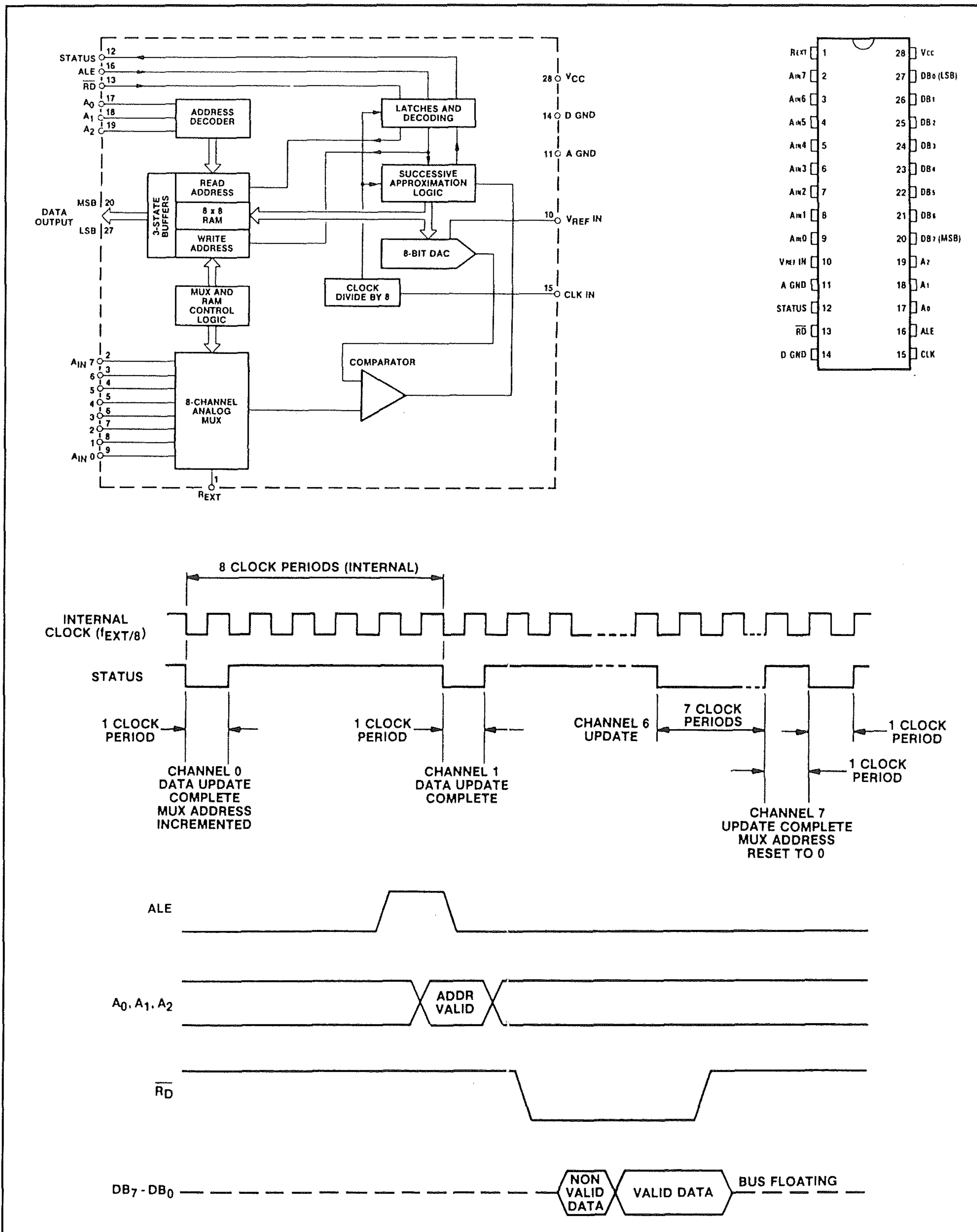
6.1 Analoog/digitaal en digitaal/analoog omvormers



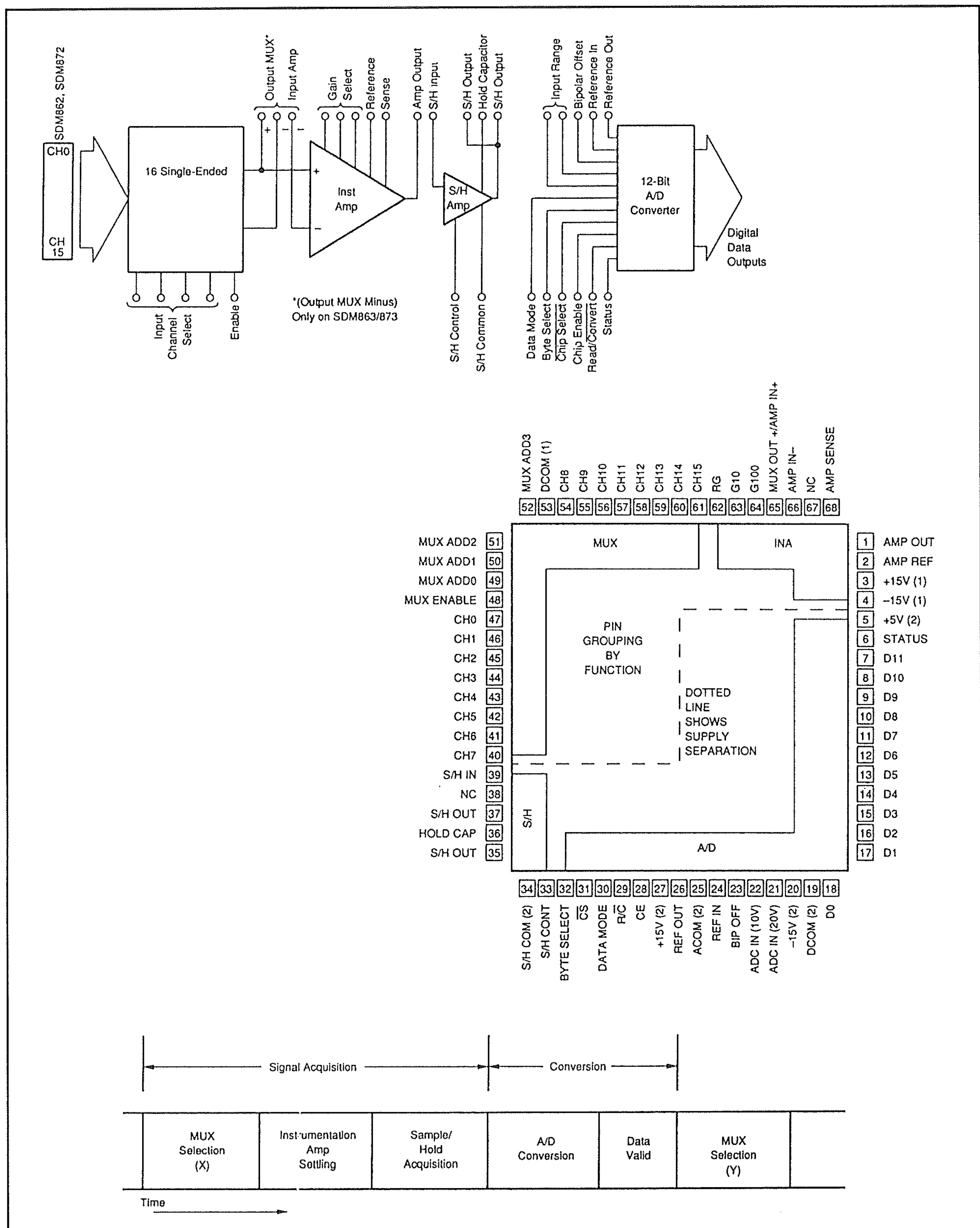
ZN 437

8 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers

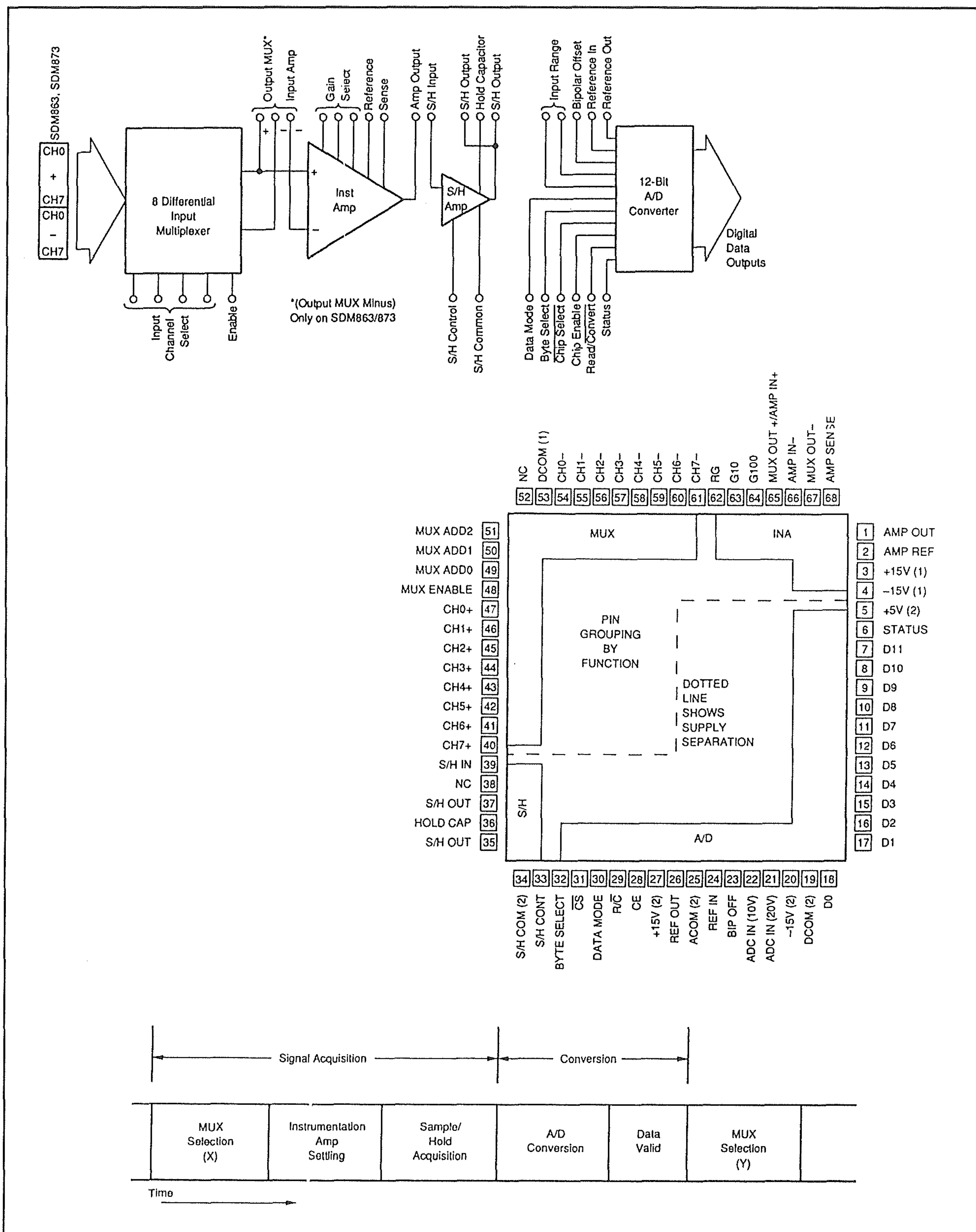


6.1 Analoog/digitaal en digitaal/analoog omvormers

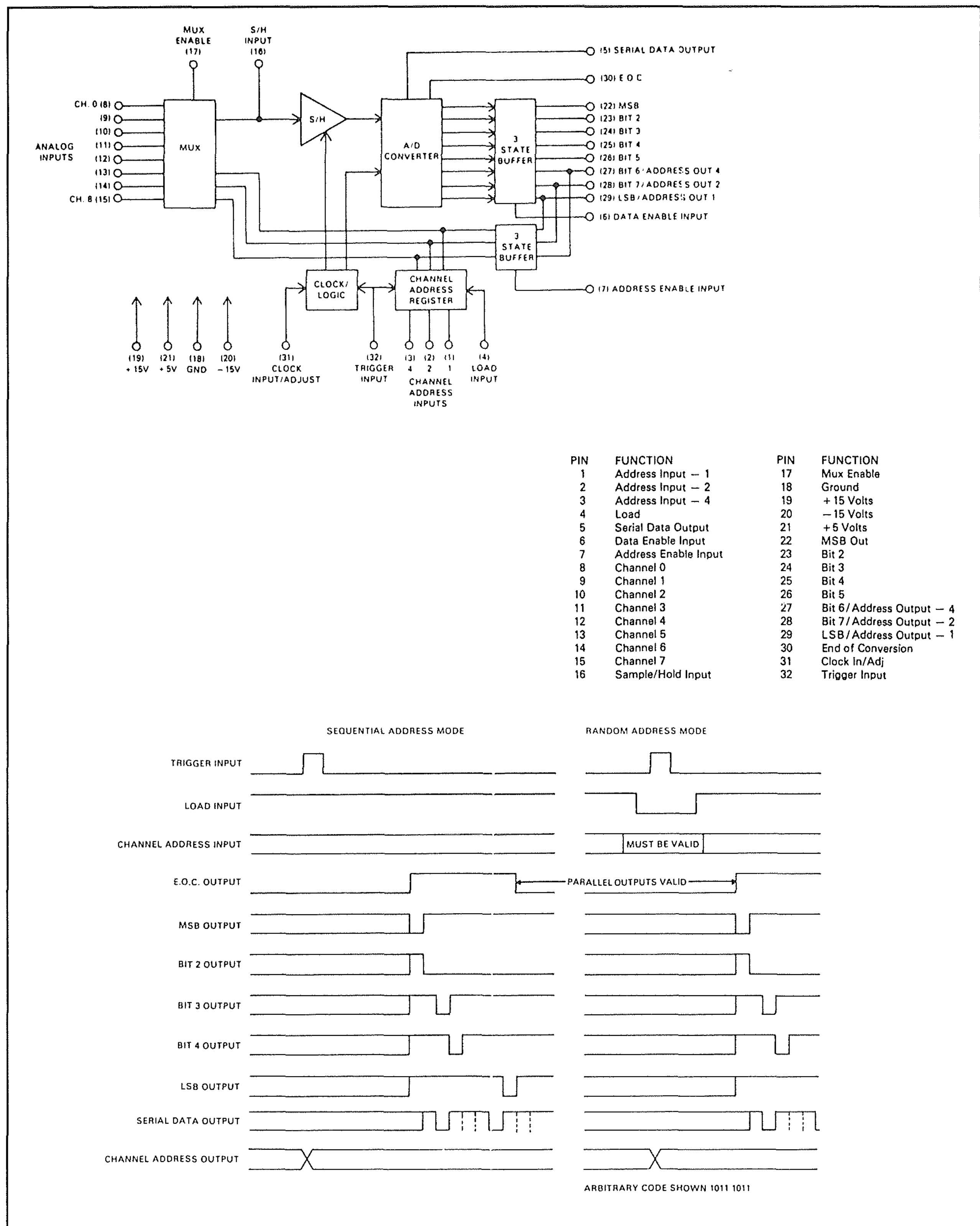


SDM 862/872 16 kanalen, single ended, 12 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



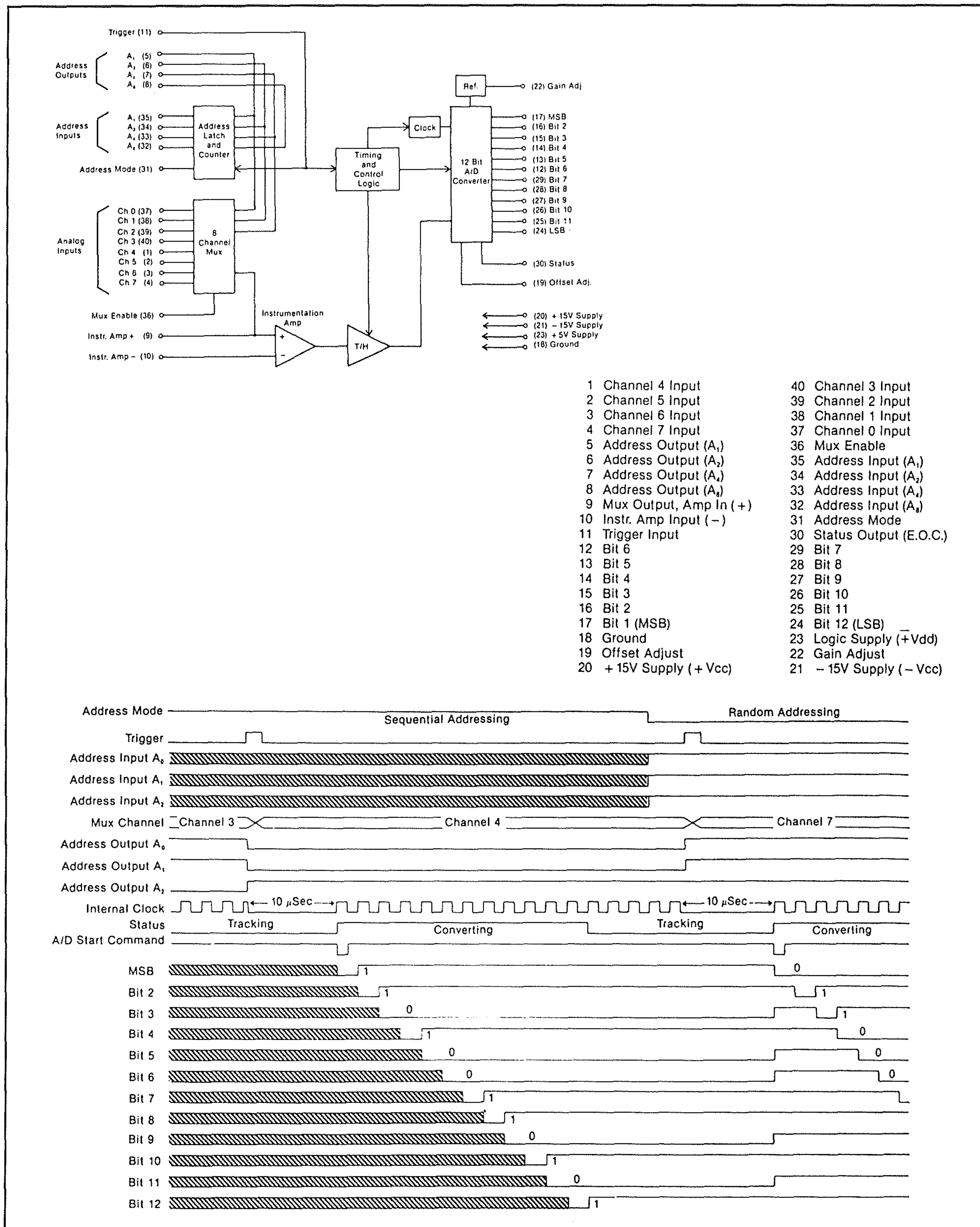
6.1 Analoog/digitaal en digitaal/analoog omvormers



PIN	FUNCTION	PIN	FUNCTION
1	Address Input − 1	17	Mux Enable
2	Address Input − 2	18	Ground
3	Address Input − 4	19	+15 Volts
4	Load	20	−15 Volts
5	Serial Data Output	21	+5 Volts
6	Data Enable Input	22	MSB Out
7	Address Enable Input	23	Bit 2
8	Channel 0	24	Bit 3
9	Channel 1	25	Bit 4
10	Channel 2	26	Bit 5
11	Channel 3	27	Bit 6/Address Output − 4
12	Channel 4	28	Bit 7/Address Output − 2
13	Channel 5	29	LSB/Address Output − 1
14	Channel 6	30	End of Conversion
15	Channel 7	31	Clock In/Adj
16	Sample/Hold Input	32	Trigger Input

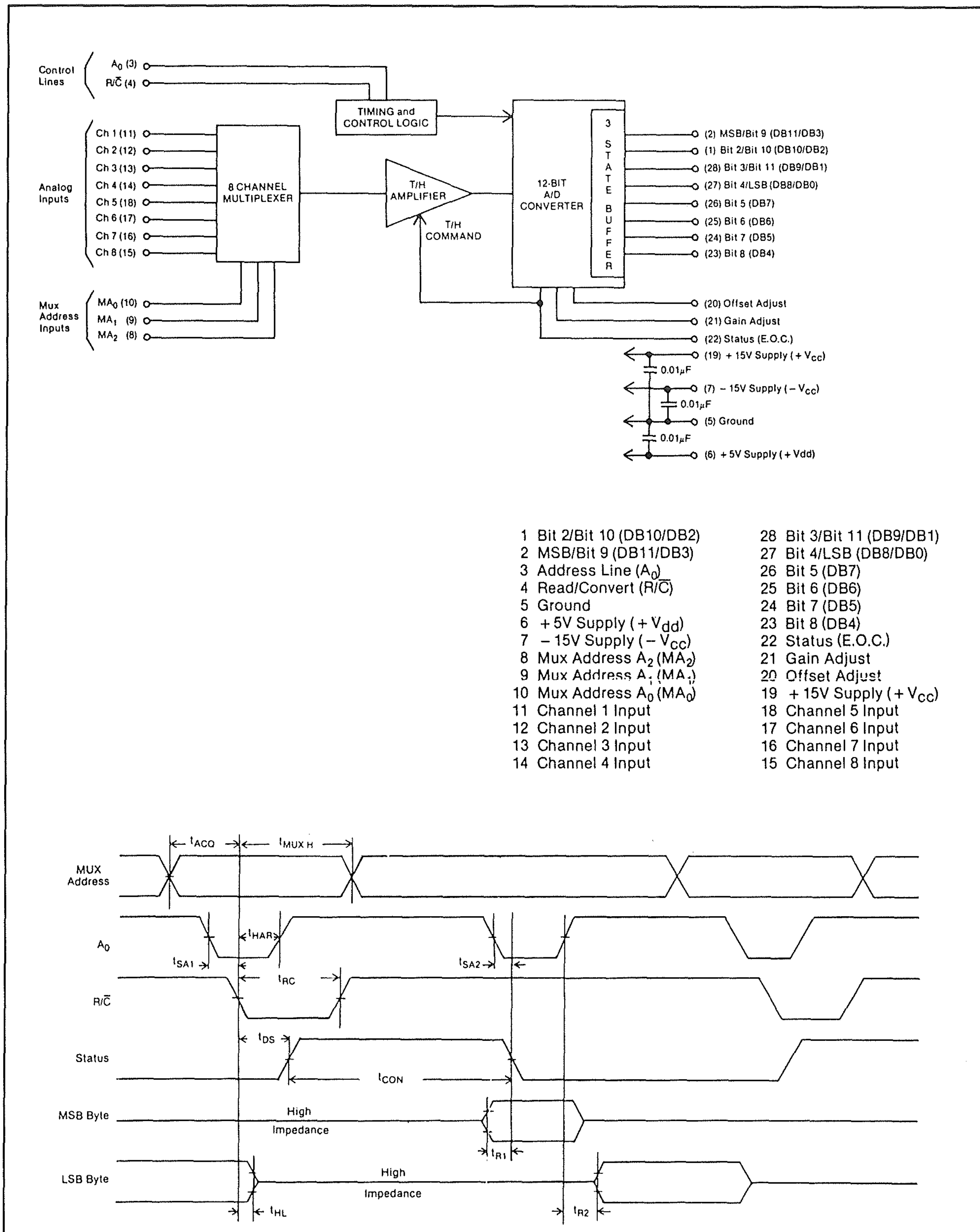
MN 7120 8 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



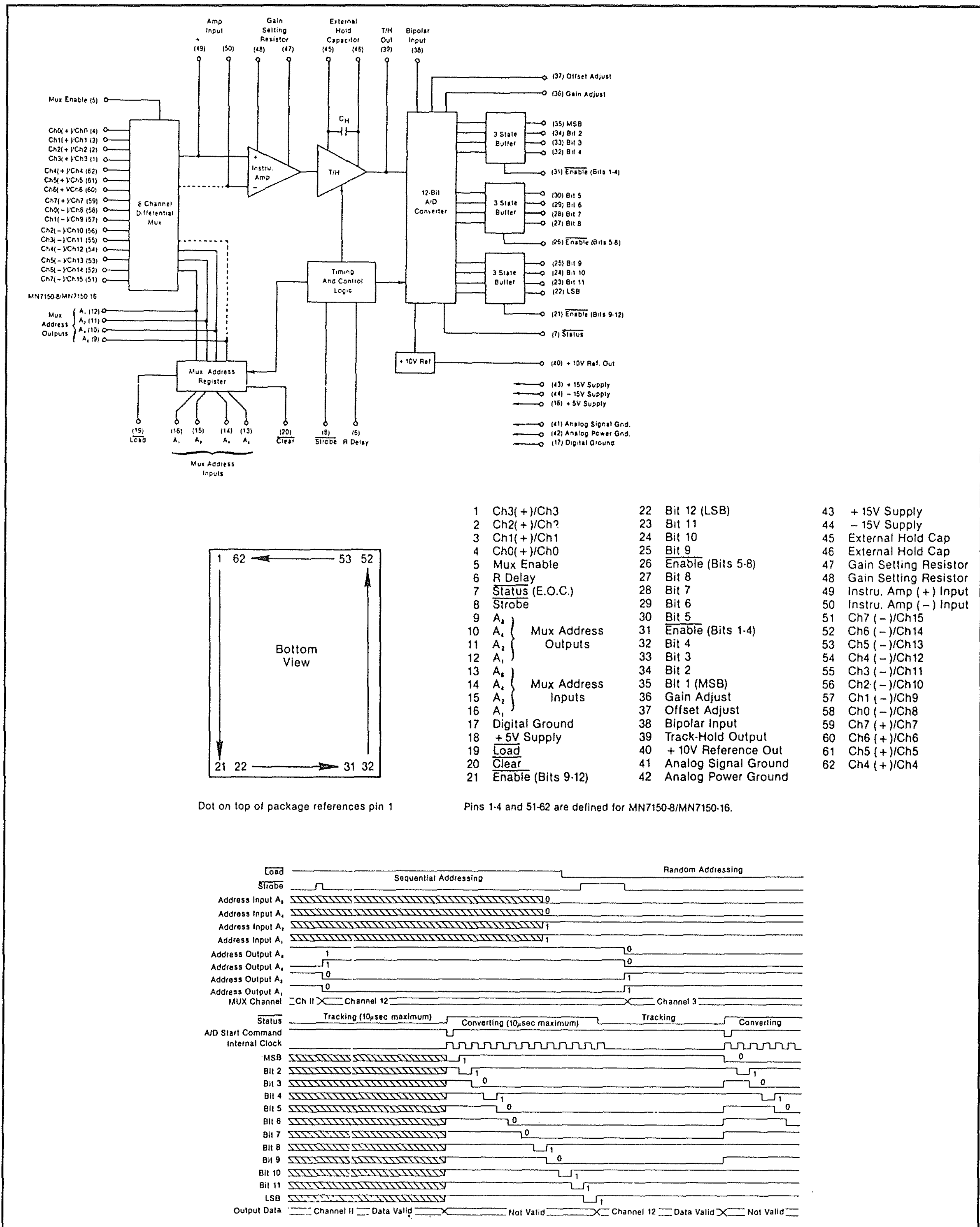
MN 7140 8 kanalen, single ended, 12 bit, 2-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



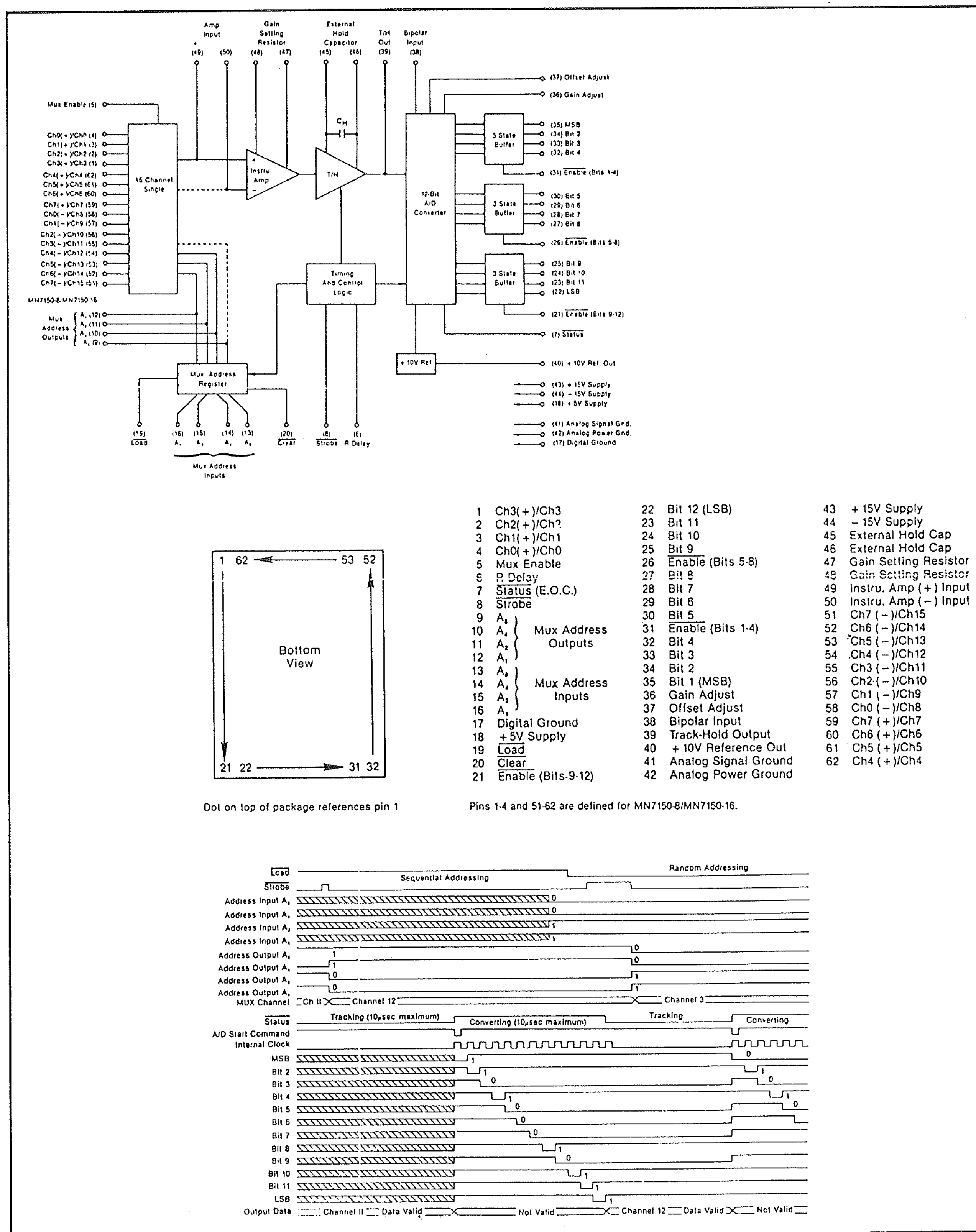
MN 7145 8 kanalen, single ended, 12 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



MN 7150-8 8 kanalen, differentieel, 12 bit, 3-state

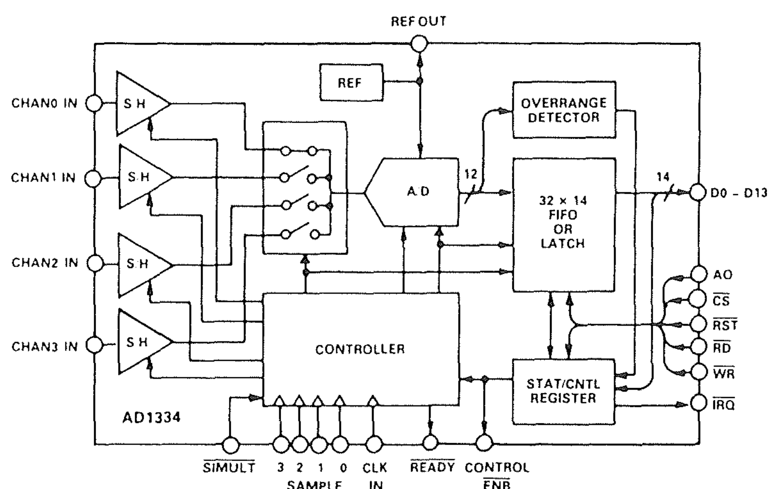
6.1 Analoog/digitaal en digitaal/analoog omvormers



MN 7150-16

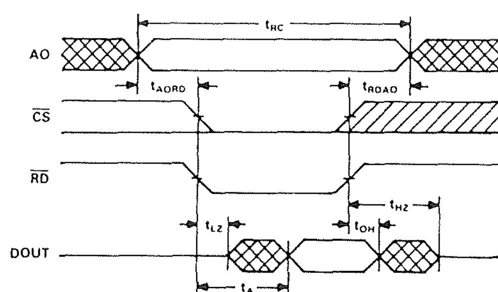
16 kanalen, single ended, 12 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



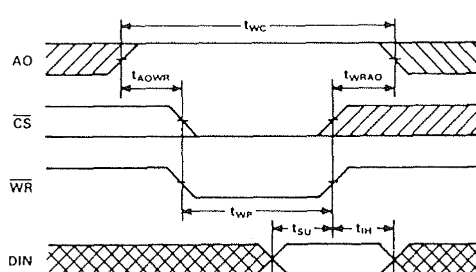
CHAN1 IN	1	40	CHAN2 IN
CHAN0 IN	2	39	CHAN3 IN
$+V_S$	3	38	$-V_S$
SAMPLE 0	4	37	SAMPLE 3
SAMPLE 1	5	36	SAMPLE 2
TP	6	35	SIMULT
REF OUT	7	34	READY
ASIG GND	8	33	CLK IN
APWR GND	9	32	CONTROL ENB
IRQ	10	31	RST
CS	11	30	WR
A0	12	29	RD
(CHID MSB) D13	13	28	D0 (A/D LSB)
(CHID LSB) D12	14	27	D1
(A/D MSB) D11	15	26	D2
D10	16	25	D3
D9	17	24	D4
D8	18	23	D5
D7	19	22	D6
DGND	20	21	V_{DD}

AD1334 TOP VIEW (Not to Scale)



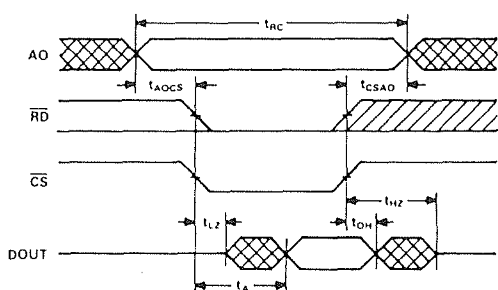
NOTES
CS IS VALID BEFORE OR COINCIDENT WITH RD HIGH-TO-LOW TRANSITION.
CS IS INVALID AFTER OR COINCIDENT WITH RD LOW-TO-HIGH TRANSITION.
WR IS NOT ACTIVE DURING READ CYCLE.

Timing Waveform for Read Cycle No. 1 (RD Controlled)



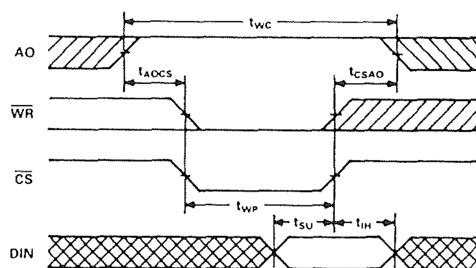
NOTES
CS IS VALID BEFORE OR COINCIDENT WITH WR HIGH-TO-LOW TRANSITION.
CS IS INVALID AFTER OR COINCIDENT WITH WR LOW-TO-HIGH TRANSITION.
RD IS NOT ACTIVE DURING WRITE CYCLE.

Timing Waveform for Write Cycle No. 1 (WR Controlled)



NOTES
RD IS VALID BEFORE OR COINCIDENT WITH CS HIGH-TO-LOW TRANSITION.
RD IS INVALID AFTER OR COINCIDENT WITH CS LOW-TO-HIGH TRANSITION.
WR IS NOT ACTIVE DURING READ CYCLE.

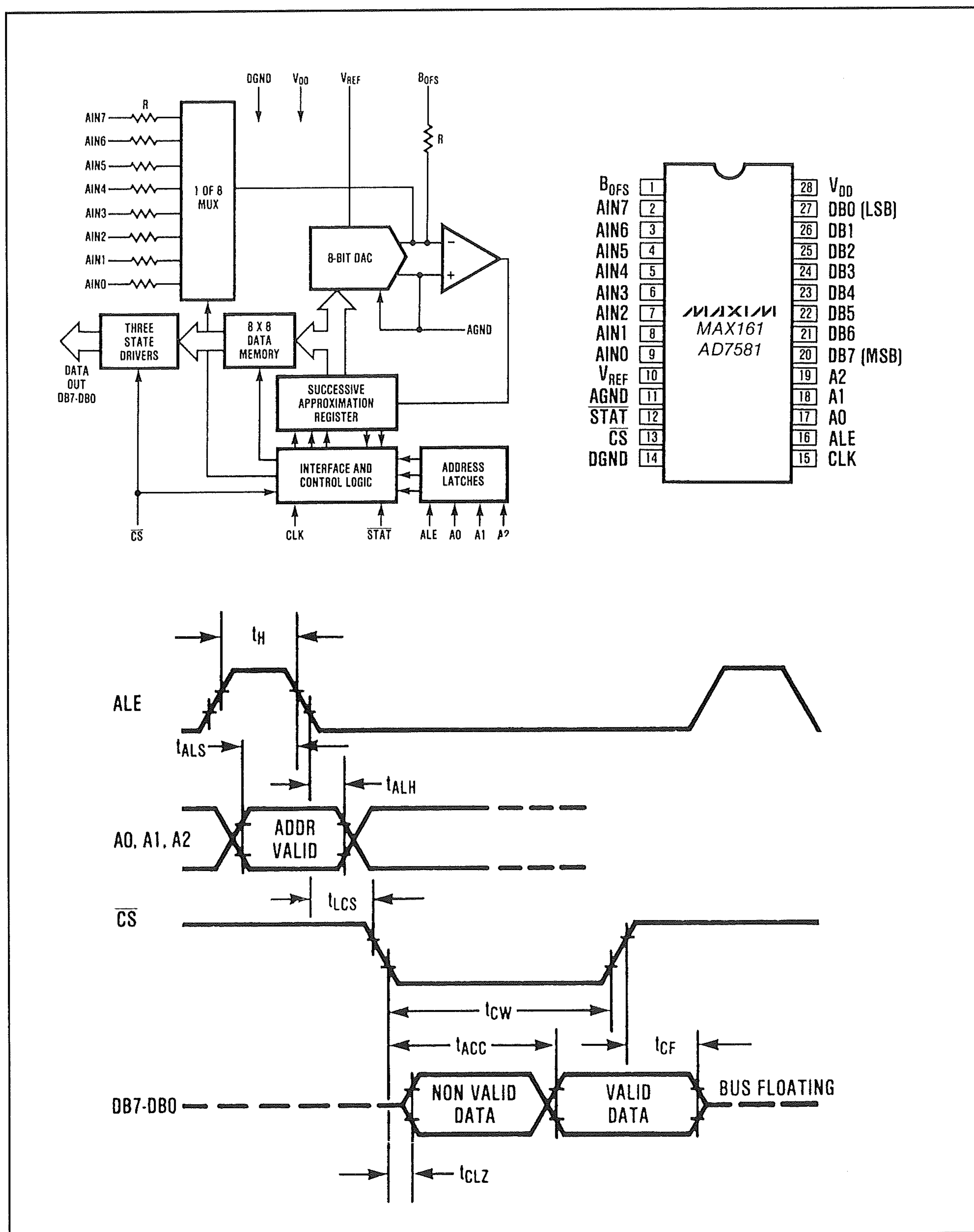
Timing Waveform for Read Cycle No. 2 (CS Controlled)



NOTES
WR IS VALID BEFORE OR COINCIDENT WITH CS HIGH-TO-LOW TRANSITION.
WR IS INVALID AFTER OR COINCIDENT WITH CS LOW-TO-HIGH TRANSITION.
RD IS NOT ACTIVE DURING WRITE CYCLE.

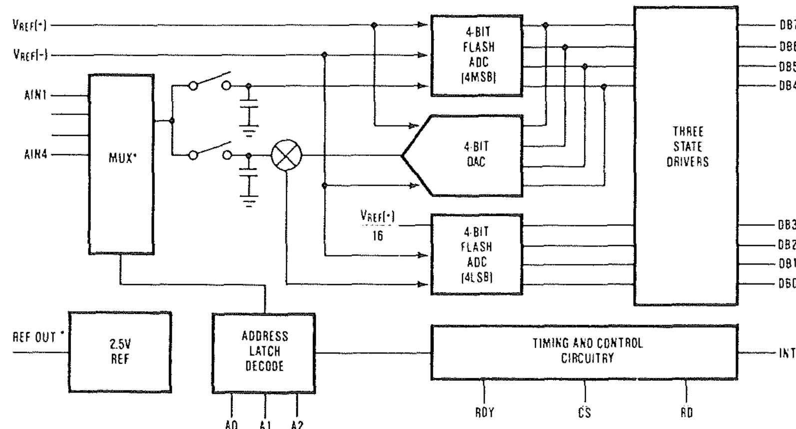
Timing Waveform for Write Cycle No. 2 (CS Controlled)

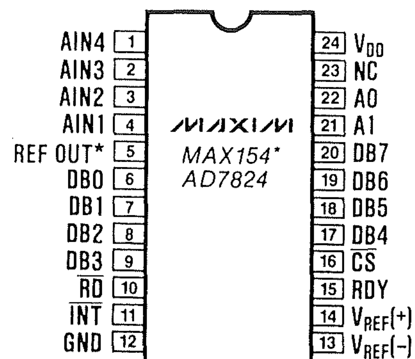
6.1 Analoog/digitaal en digitaal/analoog omvormers

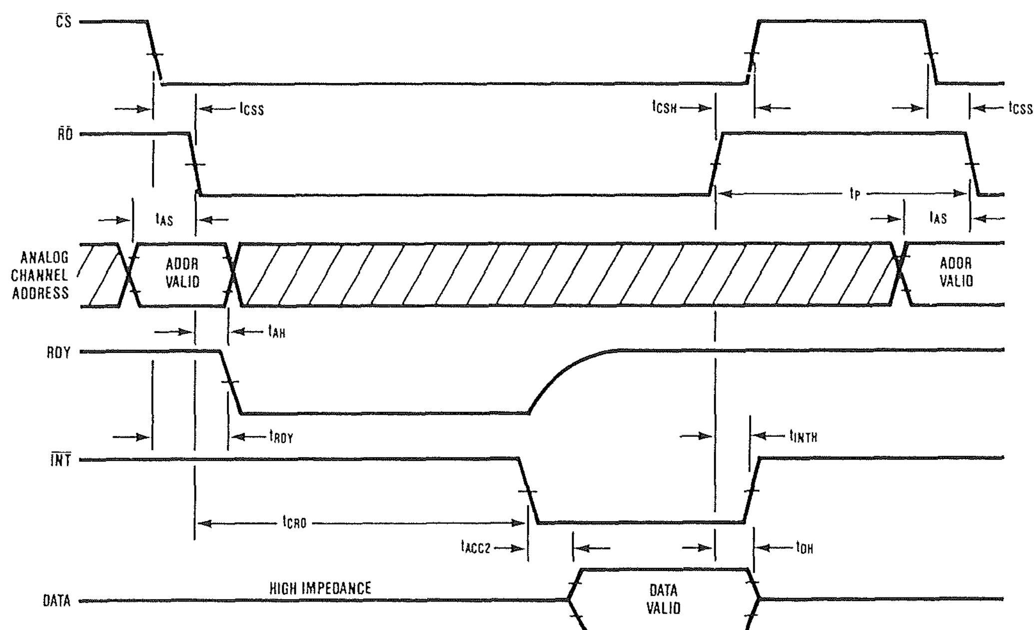


AD 7581 of MAX 161 8 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers

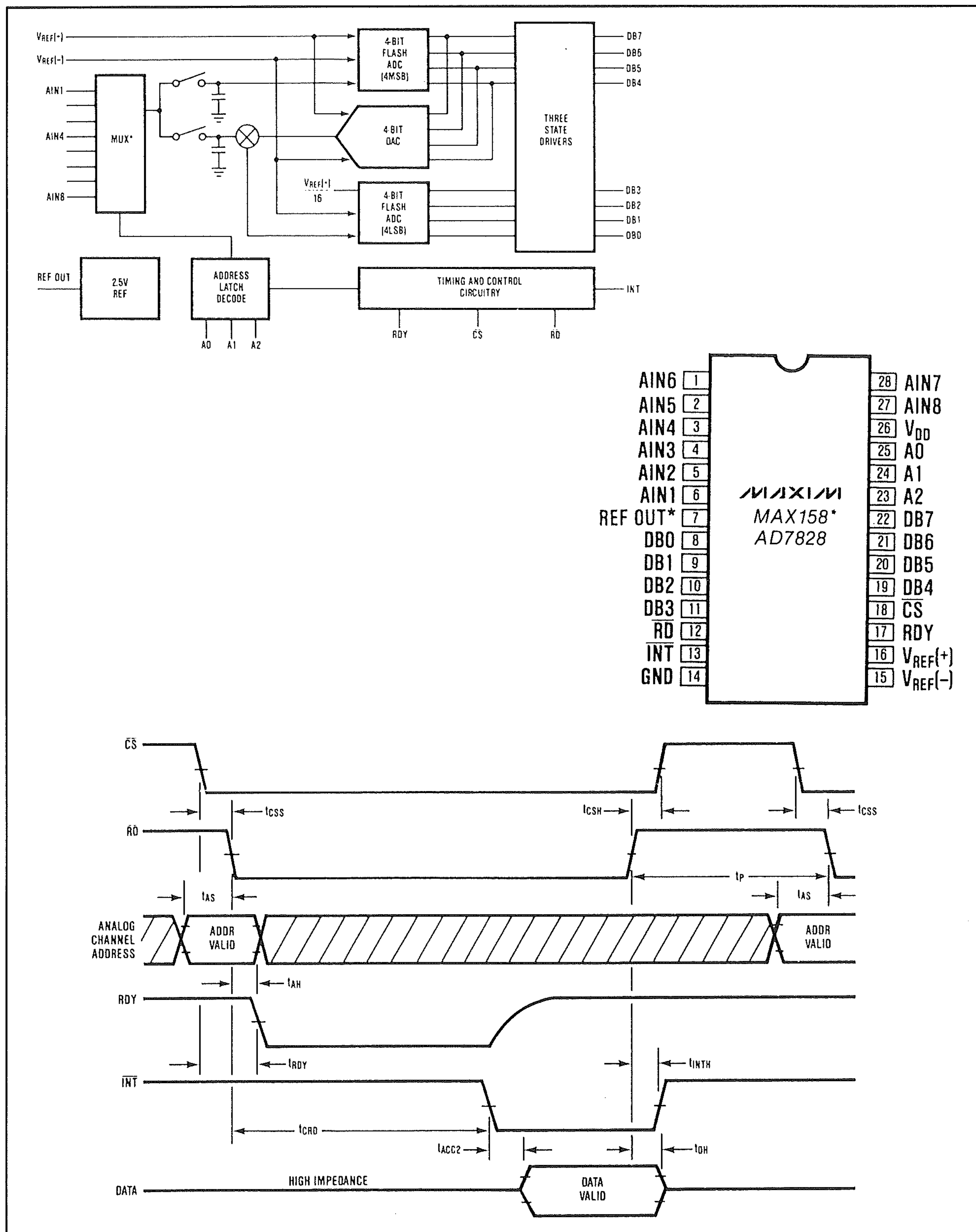






AD 7824 of MAX 154 4 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers



AD 7828 of MAX 158 8 kanalen, single ended, 8 bit, 3-state

6.1 Analoog/digitaal en digitaal/analoog omvormers